

## 高アイソレーションSPDTスイッチ

## 概要

CXG1009TNは、ソニーGaAs J-FETプロセスによる単一正電源動作を特長とした高アイソレーションSPDT (Single Pole Dual Throw) スイッチMMICで、パーソナルコミュニケーションやケーブルTVなどに使用されます。

## 特長

- 単一正電源動作
- 挿入損失 0.7dB (Typ.) @1.0GHz,  $V_{ctl}(H)=3V$   
0.8dB (Typ.) @2.0GHz,  $V_{ctl}(H)=3V$
- 高アイソレーション  
56dB (Typ.) @1.0GHz,  $V_{ctl}(H)=3V$   
47dB (Typ.) @2.0GHz,  $V_{ctl}(H)=3V$
- 10-pin TSSOPパッケージ (3.2 × 2.8mm)

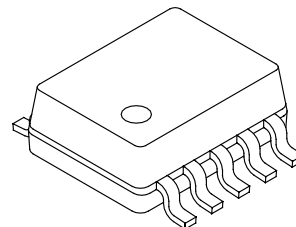
## 用途

- ベースステーションLO 切り替え
- 高アイソレーションを必要とする低電力SPDTのアプリケーション (ケーブルTVなど)

## 構造

GaAs J-FET MMIC

10 pin TSSOP (Plastic)



## 絶対最大定格 (Ta=25 )

- |            |                           |              |    |
|------------|---------------------------|--------------|----|
| • コントロール電圧 | $ V_{CTL} $               | 6            | V  |
|            | $V_{CTL}(H) - V_{CTL}(L)$ | 6            | V  |
| • コントロール電流 | $I_{CTL}$                 | 2            | mA |
| • 動作温度     | $T_{opr}$                 | - 35 ~ + 85  |    |
| • 保存温度     | $T_{stg}$                 | - 65 ~ + 150 |    |

本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。  
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。  
なお資料中に、回路例が掲載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

電気的特性

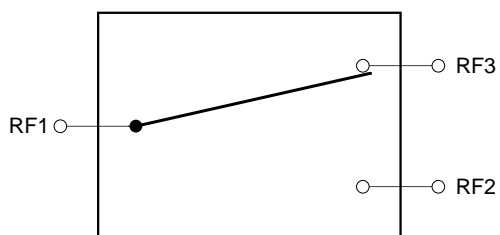
V<sub>CTL</sub> (L) =0V, V<sub>CTL</sub> (H) =3V, Pin=10dBm

(Ta=25 )

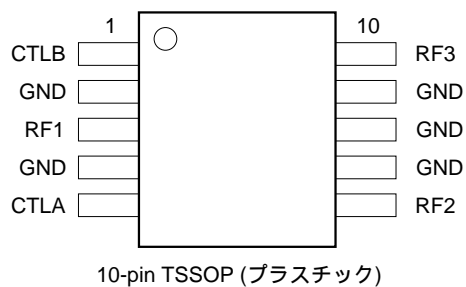
項目	記号	条件	最小値	標準値	最大値	単位
挿入損失1	IL1	f 1GHz		0.7	1.1	dB
アイソレーション1	ISO1		52	56		dB
挿入損失2	IL2	f 2GHz		0.8	1.2	dB
アイソレーション2	ISO2		43	47		dB
VSWR	VSWR			1.2	1.5	
スイッチング速度	TSW			100		ns
コントロール電流	I <sub>CTL</sub>			60	200	μA
1dB圧縮電力	P1dB	500MHz f 2GHz	16	19		dBm
		f=5MHz		8		dBm

50 ソース, 負荷インピーダンス

ブロック図

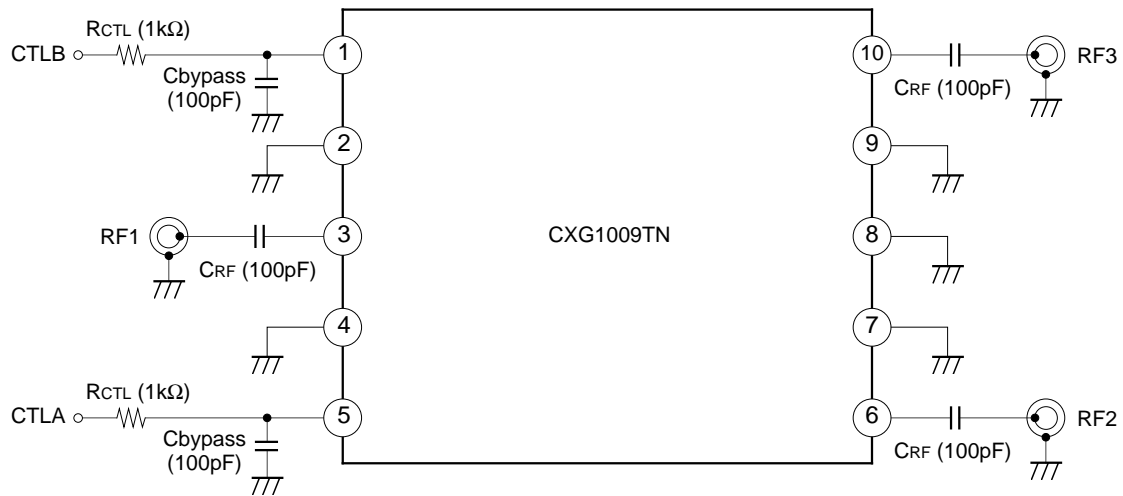


パッケージ概要/ピン配列図



VCTLA	VCTLB	
High	Low	RF1-RF2 ON RF1-RF3 OFF
Low	High	RF1-RF2 OFF RF1-RF3 ON

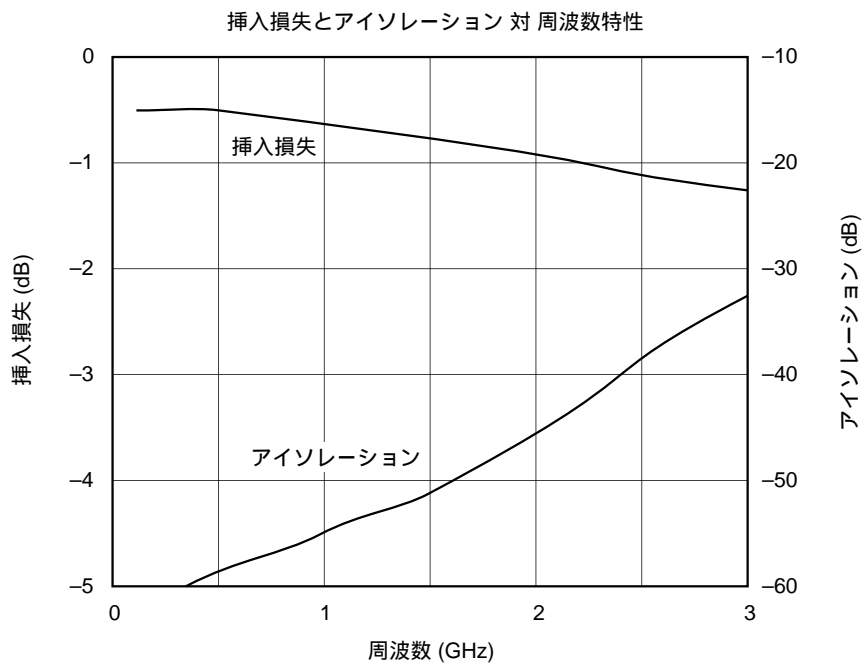
推奨回路



- \* DCブロック容量 $C_{RF}$ とバイパス容量 $C_{bypass}$ が必要です。
- \* 消費電流を減らす時またはESD性能を改善する時に、コントロール抵抗 $R_{CTL}$ が必要です。
- \* 低い周波数での使用時は、DCブロック容量 $C_{RF}$ を大きく設定する必要があります。

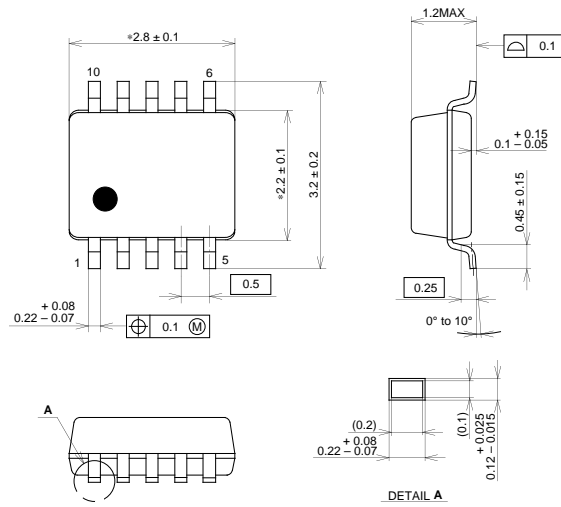
周波数特性

測定条件 :  $V_{ctl}(L) = 0V$ ,  $V_{ctl}(H) = 3V$ ,  $P_{in} = 0dBm$  CW,  $T = 25$



外形寸法图 单位: mm

10PIN TSSOP(PLASTIC)



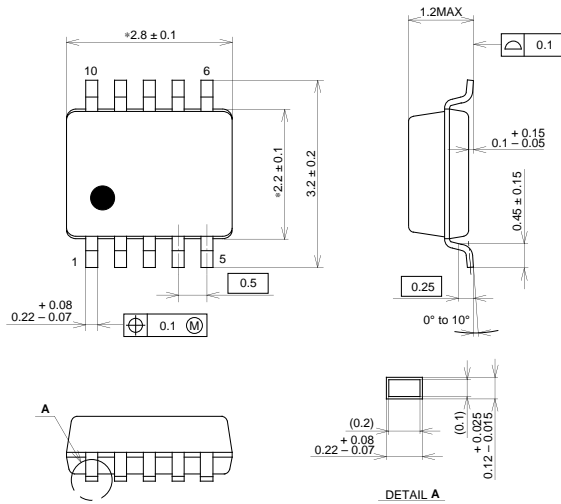
NOTE: Dimension "\*" does not include mold protrusion.

PACKAGE STRUCTURE

SONY CODE	TSSOP-10P-L01
EIAJ CODE	_____
JEDEC CODE	_____

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	COPPER ALLOY
PACKAGE MASS	0.02g

10PIN TSSOP(PLASTIC)



NOTE: Dimension "\*" does not include mold protrusion.

PACKAGE STRUCTURE

SONY CODE	TSSOP-10P-L01
EIAJ CODE	_____
JEDEC CODE	_____

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	COPPER ALLOY
PACKAGE MASS	0.02g

LEAD PLATING SPECIFICATIONS

ITEM	SPEC.
LEAD MATERIAL	COPPER ALLOY
SOLDER COMPOSITION	Sn-Bi Bi:1-4wt%
PLATING THICKNESS	5-18μm