

10bit 125MSPS D / A Converter

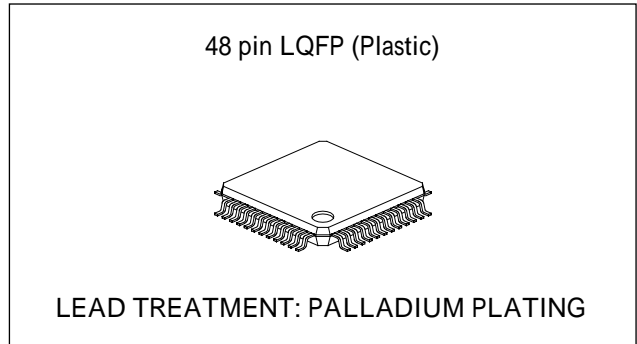
概要

CXA3197Rは、2系統の10bit Dataをマルチプレクス入力可能な高速D/Aコンバータです。

最高変換速度は、125MSPSを実現し、1/2分周クロックによるマルチプレクス動作の他、リセット端子を備えたクロック分周回路により、クロックをIC内部で1/2分周してマルチプレクス動作させることも可能です。データ入力はTTLレベル、クロック入力、およびリセット入力はTTLレベル、PECLレベルの中からアプリケーションに合わせて選べます。

特長

- 最高変換速度 PECL動作時 125MSPS
TTL動作時 100MSPS
- 分解能 10bit
- 低消費電力 480mW (typ.)
- データ入力レベル TTL
- クロック,リセット入力レベル TTL, PECLに対応
- 2:1マルチプレクス入力機能
- 内蔵クロック分周回路による1/2分周クロック出力可能
- 電圧出力 (50 負荷ドライブ可能)
- 単一電源動作,または±2電源動作
- RESET信号の極性切り換え機能



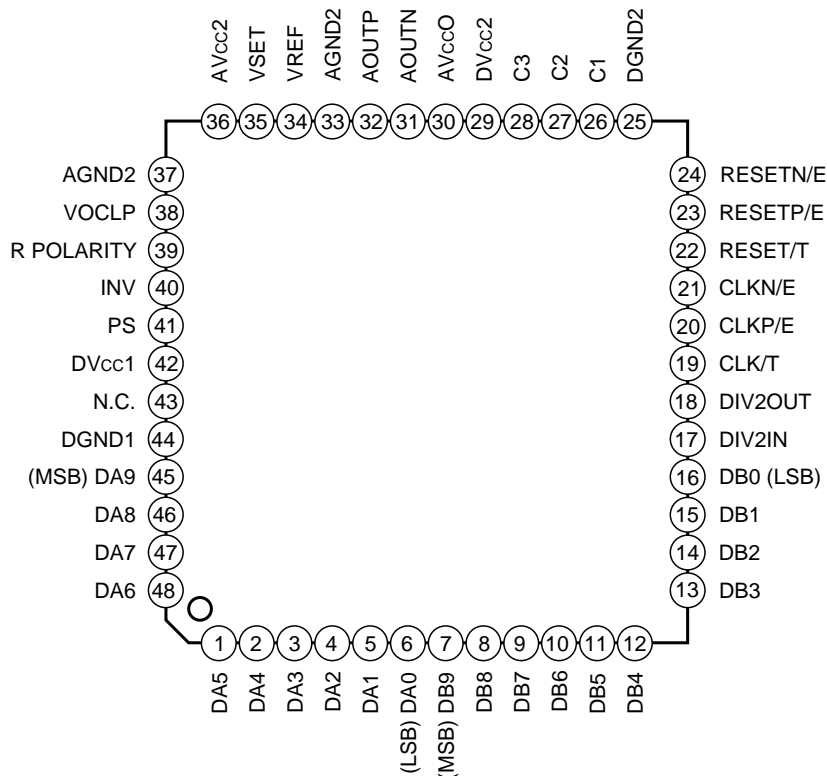
構造

バイポーラ シリコン モノリシック IC

用途

- LCD
- DDS
- HDTV
- 通信 (QPSK, QAM)
- 測定器

端子配置図



本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

絶対最大定格 (Ta = 25)

• 電源電圧	AVcc0, AVcc2, DVcc2	- 0.5 ~ + 6.0	V
	AGND2, DGND2	- 6.0 ~ + 0.5	V
	DVcc1	- 0.5 ~ + 6.0	V
	AVcc2 - AGND2	- 0.5 ~ + 6.0	V
	AVcc0 - AGND2	- 0.5 ~ + 6.0	V
	DVcc2 - DGND2	- 0.5 ~ + 6.0	V
• 入力電圧 (アナログ) (デジタル)	VSET	AGND2 - 0.5 ~ AVcc2 + 0.5	V
	TTL入力端子	DGND1 - 0.5 ~ DVcc1 + 0.5	V
	PECL入力端子	DGND1 - 0.5 ~ DVcc1 + 0.5	V
	PS	DGND1 - 0.5 ~ DVcc1 + 0.5	V
	(その他)	VOCLP	DGND1 - 0.5 ~ DVcc1 + 0.5
• 保存温度	Tstg	- 65 ~ + 150	
• 許容損失	Pd	1.4	W

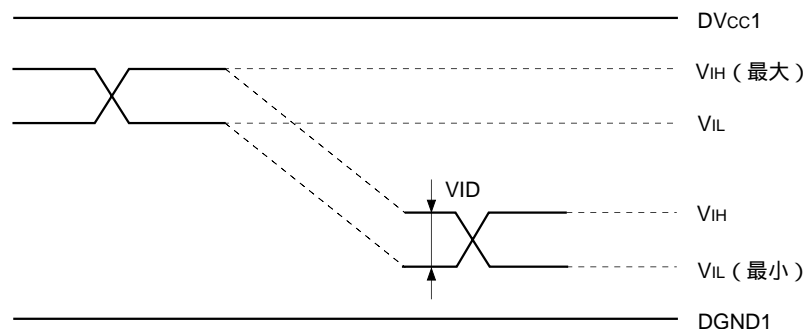
(76mm × 114mm, t = 1.6 ガラスエポキシ2層基板実装時)

推奨動作条件

• 電源電圧	【単電源】			【2電源】			単位
	最小	標準	最大	最小	標準	最大	
AVcc0	+ 4.75	+ 5.0	+ 5.25	- 0.05	0.0	+ 0.05	V
AVcc2	+ 4.75	+ 5.0	+ 5.25	- 0.05	0.0	+ 0.05	V
AGND2	- 0.05	0.0	+ 0.05	- 5.50	- 5.0	- 4.75	V
DVcc1	+ 4.75	+ 5.0	+ 5.25	+ 4.75	+ 5.0	+ 5.25	V
DGND1	- 0.05	0.0	+ 0.05	- 0.05	0.0	+ 0.05	V
DVcc2	+ 4.75	+ 5.0	+ 5.25	- 0.05	0.0	+ 0.05	V
DGND2	- 0.05	0.0	+ 0.05	- 5.50	- 5.0	- 4.75	V
• 入力電圧 (アナログ) (デジタル)	VSET	最小	AGND2 + 0.65	標準	最大	AGND2 + 1.03	単位
	TTL入力端子	V _{IH}	DGND1 + 2.0				V
		V _{IL}				DGND1 + 0.8	V
	PECL入力端子	V _{IH}	DVcc1 - 1.05			DVcc1 - 0.5	V
		V _{IL}	DVcc1 - 3.2			DVcc1 - 1.4	V
(その他)	VID*1	0.5	0.8			V	
• CLKパルス幅 (PECL CLK の時)	VOCLP	DGND1 + 2.4			DVcc1	V	
• 最高変換速度	tpw1	3.5				ns	
	tpw0	3.5				ns	
• 負荷抵抗	PECL動作時	Fc	125			MSPS	
	TTL動作時	Fc	100			MSPS	
• アナログ出力フルスケール電圧	R _L 10k	R _L	50	50	10k		
	R _L = 50	V _{FS}	1.5	2.0	2.1	V	
• 動作温度		V _{FS}	0.75	1.0	1.05	V	
		Ta	- 20		+ 75		

*1 VID : Input Voltage Differential

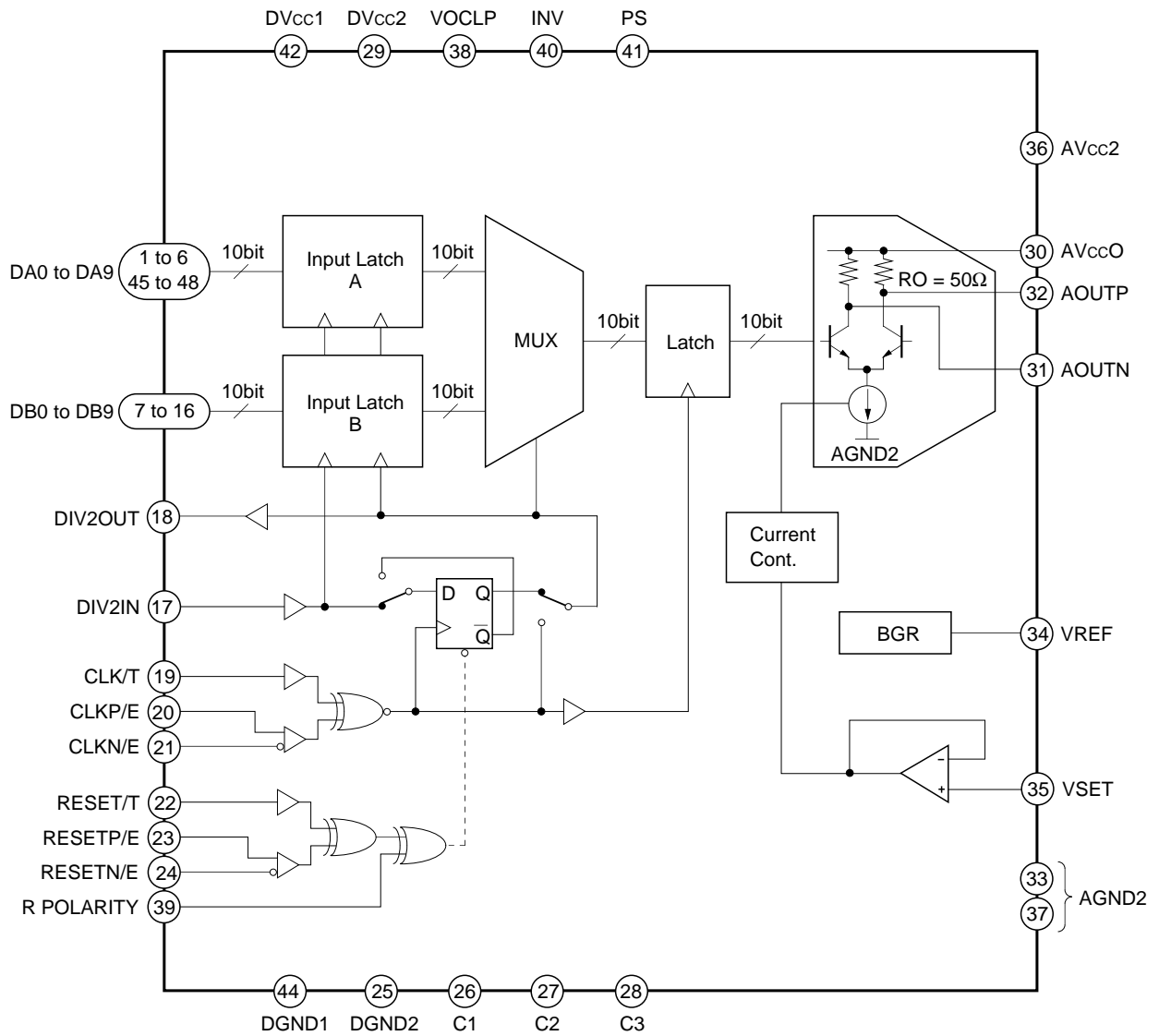
PECL入力信号スイッチングレベル



端子説明

【端子名】	【PIN No.】	【端子説明】	【 単電源時 標準電圧レベル】	【 2電源時 標準電圧レベル】
DA0 ~ DA9	1 ~ 6, 45 ~ 48	A側データ入力端子	TTL	TTL
DB0 ~ DB9	7 ~ 16	B側データ入力端子	TTL	TTL
DIV2IN	17	1/2分周クロック入力端子	TTL	TTL
DIV2OUT	18	1/2分周クロック出力端子	TTL	TTL
CLK/T	19	TTLクロック入力端子	TTL	TTL
CLKP/E	20	PECLクロック入力端子	PECL	PECL
CLKN/E	21	PECLクロック入力端子	PECL	PECL
RESET/T	22	TTLリセット入力端子	TTL	TTL
RESETP/E	23	PECLリセット入力端子	PECL	PECL
RESETN/E	24	PECLリセット入力端子	PECL	PECL
DGND2	25	デジタルグランド	0V	- 5V
C1	26	ファンクション設定端子	TTL	TTL
C2	27	ファンクション設定端子	TTL	TTL
C3	28	ファンクション設定端子	TTL	TTL
DVcc2	29	デジタル電源	5V	0V
AVccO	30	アナログ出力用電源	5V (typ.)	0V (typ.)
AOUTN	31	負のアナログ出力端子	AVccO - V _{FS}	AVccO - V _{FS}
AOUTP	32	正のアナログ出力端子	AVccO - V _{FS}	AVccO - V _{FS}
AGND2	33	アナロググランド	0V	- 5V
VREF	34	アナログリファレンス電圧	AGND2 + 1.25V	AGND2 + 1.25V
VSET	35	フルスケール調整端子	AGND2 + 0.65V }	AGND2 + 0.65V }
			AGND2 + 1.03V	AGND2 + 1.03V
AVcc2	36	アナログ電源	5V	0V
AGND2	37	アナロググランド	0V	- 5V
VOCLP	38	TTL Highレベルクランプ端子	クランプ電圧	クランプ電圧
R POLARITY	39	リセット信号極性切り換え端子	TTL	TTL
INV	40	アナログ出力反転端子	TTL	TTL
PS	41	パワーセーブ端子	TTL	TTL
DVcc1	42	デジタル電源	5V	5V
N.C.	43	ノンコネクション	-	-
DGND1	44	デジタルグランド	0V	0V

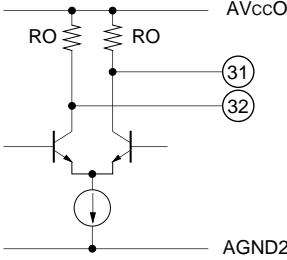
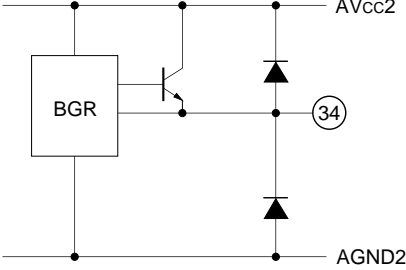
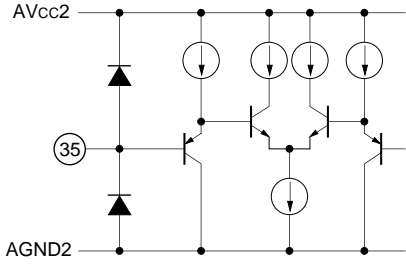
ブロック図



端子説明および入出力端子等価回路

端子番号	端子記号	I/O	標準電圧レベル	等価回路	端子説明
1 ~ 6 45 ~ 48	DA0 ~ DA9	I	TTL		A側データ入力端子。
7 ~ 16	DB0 ~ DB9	I	TTL		B側データ入力端子。
17	DIV2IN	I	TTL		1/2分周クロック入力端子。 MUX. 1A, MUX. 2モードで動作させる場合に使用します。 それ以外のモードで使用する場合は開放にします。
18	DIV2OUT	O	TTL		1/2分周クロック出力端子。 MUX. 1Aモードで動作させた場合、この端子からクロックの1/2分周された信号 (DIV2OUT) が出力されます。 それ以外のモードでは、ハイインピーダンス状態になります。
19	CLK / T	I	TTL		クロック入力端子。 クロックをTTLレベルで入力する場合に使用します。 この時、20, 21ピンは開放にします。

端子番号	端子記号	I/O	標準電圧レベル	等価回路	端子説明
20	CLKP / E	I	PECL		<p>クロック入力端子。クロックをPECLレベルで入力する場合に使用します。この時、19ピンは開放にします。CLKP / EとCLKN / Eは、コンプリメンタリで使用して下さい。</p>
21	CLKN / E	I	PECL		<p>CLKP / Eのコンプリメンタリ入力端子です。</p>
22	RESET / T	I	TTL		<p>リセット信号入力端子。本ICを複数個同時にMUX. 1A, MUX. 1Bモードで動作させる場合に、内部1/2分周回路のスタートのタイミングを揃える必要があります。この時リセット信号を用いますが、リセット信号がTTLレベルの場合は22ピンを用い、23, 24ピンは開放にしておきます。PECLレベルの場合は23, 24ピンを用い、22ピンを開放にしておきます。リセット信号の極性は39ピン (R POLARITY) で設定できます。他のモードで使用する場合は、リセット端子は開放にして下さい。RESETP / EとRESETN / Eは、コンプリメンタリで使用して下さい。</p>
23	RESETP / E	I	PECL		
24	RESETN / E	I	PECL		
25	DGND2		<p>単一電源使用時 : GND 2電源使用時 : - 5V</p>		デジタル電源。
26	C1	I	TTL		ファンクション設定端子。
27	C2	I	TTL		ファンクション設定端子。
28	C3	I	TTL		ファンクション設定端子。

端子番号	端子記号	I/O	標準電圧レベル	等価回路	端子説明
29	DVcc2		単一電源使用時 : +5V 2電源使用時 : GND		デジタル電源。
30	AVccO		単一電源使用時 : +5V 2電源使用時 : GND		アナログ出力用電源。 アナログ出力のコンプライアンス電圧を満足する範囲内で、AVccOの端子電圧を可変することが可能です。
31	AOUTN	O	AVccO - VFs		負のアナログ出力端子。 正のアナログ出力端子の反転が出力されます。 反転出力を使用しない場合でも正出力を50で終端する場合は反転出力端子も50で終端して下さい。
32	AOUTP	O	AVccO - VFs		正のアナログ出力端子。
33	AGND2		単一電源使用時 : GND 2電源使用時 : -5V		アナロググランド。
34	VREF	O	AGND + 1.25V (Typ.)		リファレンス電圧出力端子。
35	VSET	I	AGND2 + 0.65V } AGND2 + 1.03V		アナログ出力フルスケール調整用端子。
36	AVcc2		単一電源使用時 : +5V 2電源使用時 : GND		アナログ電源。
37	AGND2		単一電源使用時 : GND 2電源使用時 : -5V		アナログ電源。

端子番号	端子記号	I/O	標準電圧レベル	等価回路	端子説明
38	VOCLP	I	クランプ電圧		<p>TTL出力のHighレベルクランプ用端子です。 MUX. 1Aモードで動作させた場合、DIV2OUT端子からTTLレベルで信号が出力されますが、TTLのHレベルの電圧はこの端子に与えた電圧とほぼ等しい値にクランプすることができます。 他のモードで使用する場合は、VOCLP端子は開放にしてください。</p>
39	R POLARITY	I	TTL		<p>リセット信号極性切り換え端子です。 Hレベルにするとリセット極性はActive Low, Lレベルにするとリセット極性はActive Highになります。</p>
40	INV	I	TTL		<p>アナログ出力の極性反転端子です。 Lレベルにするとアナログ出力は反転します。</p>
41	PS	I	TTL		<p>パワーセーブ端子です。 Lレベルにするとパワーセーブ状態になります。 この端子はOPEN Lowとなりますので、通常はHレベルにプルアップしてください。</p>
42	DVcc1		5V		デジタル電源
43	N.C.				ノンコネクション
44	DGND1		0V		デジタルグランド

項目	記号	条件	最小値	標準値	最大値	単位
リファレンス/ コントロールアンプ特性	VREF	} I _{REFOUT} = 1mA	AGND2 + 1.18	AGND2 + 1.25	AGND2 + 1.32	V
	VREF		AGND2 + 1.18	AGND2 + 1.25	AGND2 + 1.32	V
	ISET	100mVp-p, SIN, at - 3dB	- 5		250	ppm /
			50		0	μ A
						MHz
消費電流	I _{cc}	Total消費電流	63	96	129	mA
	D _{lcc1}	D _{lcc1} 消費電流	7	15.5	24	mA
	D _{lcc2}	D _{lcc2} 消費電流	13	19	25	mA
	A _{lcc2}	A _{lcc2} 消費電流	6	8.5	11	mA
	A _{lccO}	A _{lccO} 消費電流	37	53	69	mA
PS時 消費電流*4	I _{cc}	PS時 Total消費電流		0.432	4	mA
	D _{lcc1}	PS時 D _{lcc1} 消費電流		0.38	1.5	mA
	D _{lcc2}	PS時 D _{lcc2} 消費電流		0.001	0.2	mA
	A _{lcc2}	PS時 A _{lcc2} 消費電流		0.05	0.3	mA
	A _{lccO}	PS時 A _{lccO} 消費電流		0.001	2	mA

*2 64step D.L.E. INV端子が“H”レベルの時、AOUTP側出力では、データ入力コードが

(MSB) (LSB) (MSB) (LSB)
0000111111 0001000000

間で変化した時、またAOUTN側出力ではデータ入力コードが

(MSB) (LSB) (MSB) (LSB)
1111000000 1110111111

間で変化した時のD.L.E.を示します。

*3 アナログ出力をコンプライアンス電圧の範囲内で使用する場合、次式を満足するようにAV_{ccO}を設定して下さい。

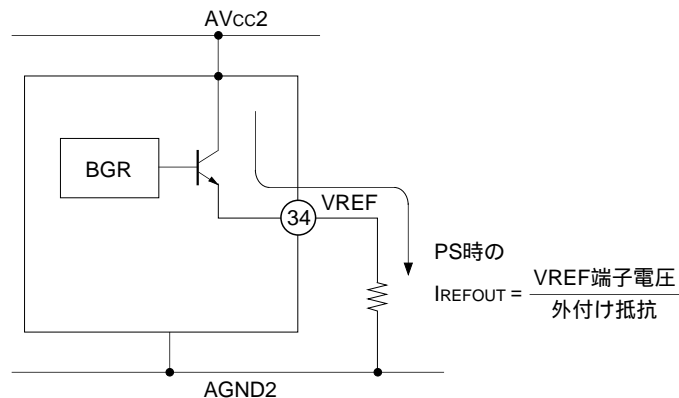
$$V_{oc(min)} = (AV_{ccO} - V_{FS}) - DV_{cc2} - 2.1V$$

$$V_{oc(max)} = (AV_{ccO} - V_{OF}) - DV_{cc2} - 1.5V$$

*4 上記PS時の消費電流には、VREF端子出力電流が含まれていません。VREF端子を外付け抵抗を用いて、AGND2レベルに接地した場合、PS状態であってもVREF端子には、1.18～1.32Vの電圧が発生しているため、

$$\frac{V_{REF端子電圧}}{外付け抵抗} = I_{REFOUT}$$

からなる電流がAV_{cc2}端子から流れ込み、VREF端子へ流れ出します。実際のPS時消費電流は、この値を加算する必要があります。



項目	CLK信号レベル		PECL		TTL		PECL		TTL		単位	
	記号	条件	PECL		TTL		PECL		TTL			
			最小値	最大値	最小値	最大値	最小値	最大値	標準値	最大値		
最高変換周波数	FC		125		100		125		100		MSPS	
クロックHパルス幅	Tpw1		3.5		4.5		3.5		4.5		ns	
クロックLパルス幅	Tpw0		3.5		3.0		3.5		3.0		ns	
リセット信号セットアップタイム	ts-rst		0		1.0		4.0		1.0		ns	
リセット信号ホールドタイム	th-rst		1.0		3.0		0		3.0		ns	
DIV2OUT出力ダイレイ	td-DIV	CL = 10pF	5.5	6.5	8.0	9.5	12.0	8	6.5	6.5	8	ns
DIV2OUT ~ DIV2IN最大遅れ量	2T-tim						2T - 7				2T - 7	ns
データ入力セットアップタイム	ts		1.0		1.0				1.0		ns	
データ入力ホールドタイム	th		5.0		5.0				5.0		ns	
アナログ出力カプラインディレイ	tpD (A)			4		4				4	CLK	
	tpD (B)			5		5				5		
アナログ出力ダイレイ	tdo		5.0	5.5	6.0	7.5	8.5	6.0	5.0	5.5	6.0	ns
最高変換周波数	FC		125		100		125		100		MSPS	
クロックHパルス幅	Tpw1		3.5		4.5		3.5		4.5		ns	
クロックLパルス幅	Tpw0		3.5		3.0		3.5		3.0		ns	
リセット信号セットアップタイム	ts-rst		0		1.0		4.0		1.0		ns	
リセット信号ホールドタイム	th-rst		1.0		3.0		0		3.0		ns	
データ入力セットアップタイム	ts		1.0		1.0		1.0		1.0		ns	
データ入力ホールドタイム	th		4.0		6.0		4.0		6.0		ns	
アナログ出力カプラインディレイ	tpD (A)			2		2				2	CLK	
	tpD (B)			3		3				3		
アナログ出力ダイレイ	tdo		5.0	5.5	6.0	7.5	8.5	6.0	5.0	5.5	6.0	ns

スイッチング特性

MUX, 1stポート

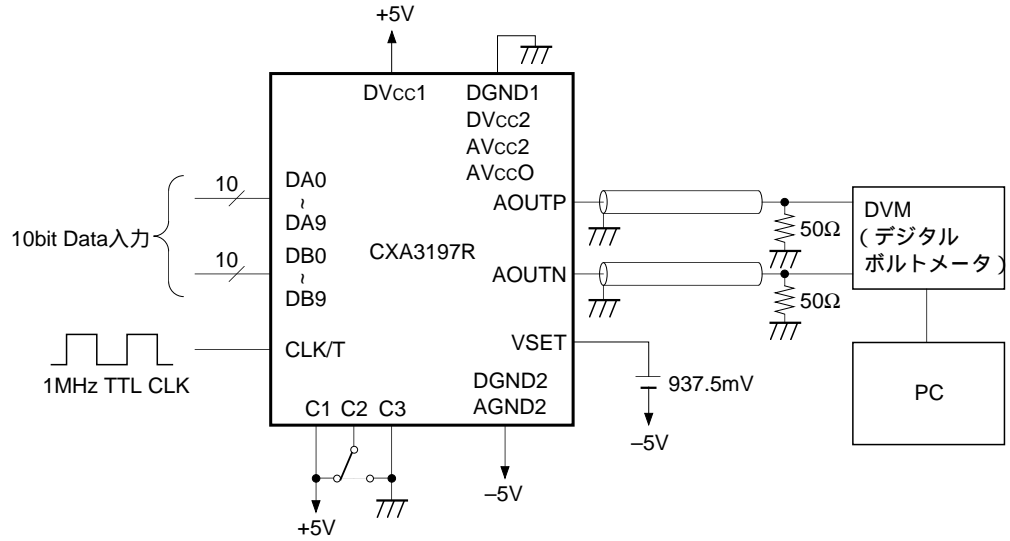
MUX, 1stポート

項目	CLK信号レベル		PECL			TTL		
	記号	条件	最小値	標準値	最大値	最小値	標準値	最大値
最高変換周波数	FC		125			100		
クロックHパルス幅	Tpw1		3.5			4.5		
クロックLパルス幅	Tpw0		3.5			3.0		
DIV2INセットアップタイム	ts-DIV		4.5			2.0		
DIV2INホールドタイム	th-DIV		0			3.5		
データ入力セットアップタイム	ts		1.0			1.0		
データ入力ホールドタイム	th		5.0			5.0		
アナログ出力カプラインディレイ	tpD (A)			2			2	
	tpD (B)			3			3	
アナログ出力ディレイ	tD0		5.0	5.5	6.0	6.5	7.5	8.5
最高変換周波数	FC		125			100		
クロックHパルス幅	Tpw1		3.5			4.5		
クロックLパルス幅	Tpw0		3.5			3.0		
C2信号セットアップタイム	ts-C2		1.0			1.0		
C2信号ホールドタイム	th-C2		2.5			3.5		
データ入力セットアップタイム	ts		1.0			1.5		
データ入力ホールドタイム	th		2.0			3.5		
アナログ出力カプラインディレイ	tpD (A)			1			1	
	tpD (B)			1			1	
アナログ出力ディレイ	tD0		5.0	5.5	6.0	6.5	7.5	8.5

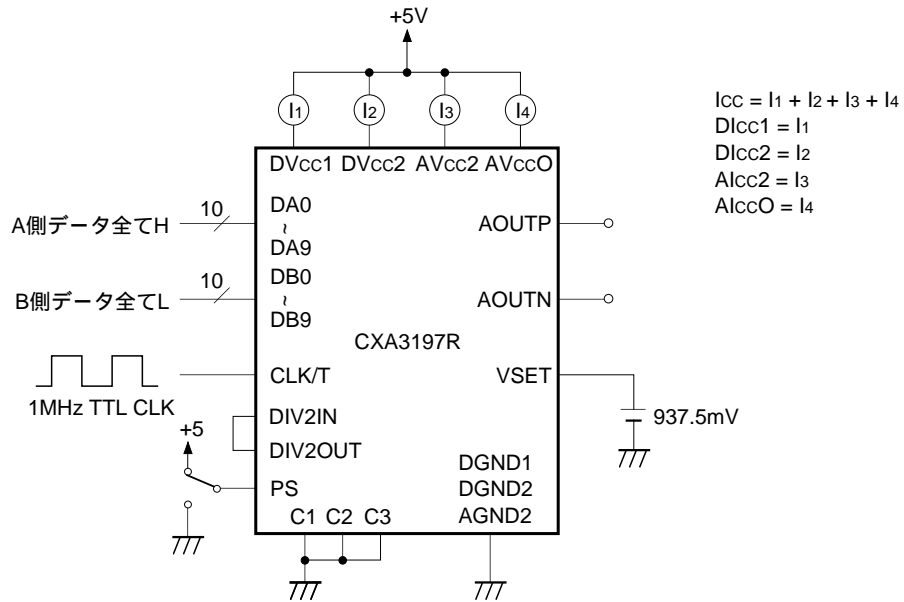
*4 MUX.2モード , SELE.A , SELE.Bモードにおいては , RESET信号は入力しません。

電気的特性測定回路図

微分直線性誤差
積分直線性誤差

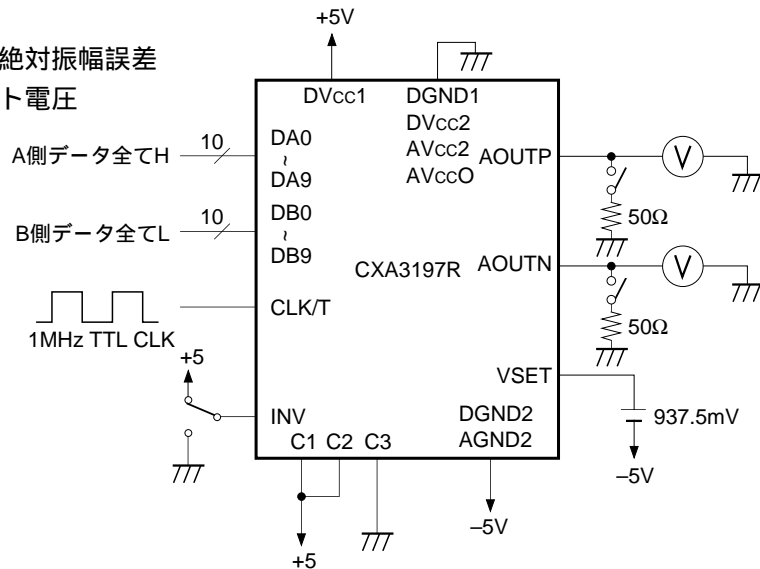


消費電流

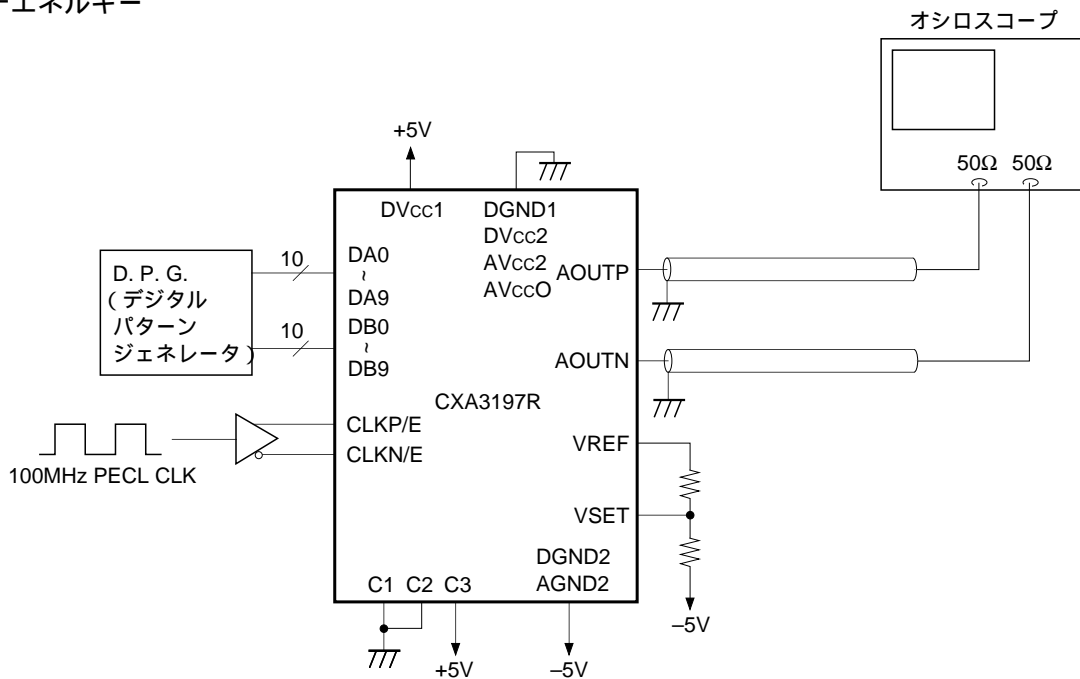


アナログ出力特性

出力フルスケール絶対振幅誤差
出力ゼロオフセット電圧

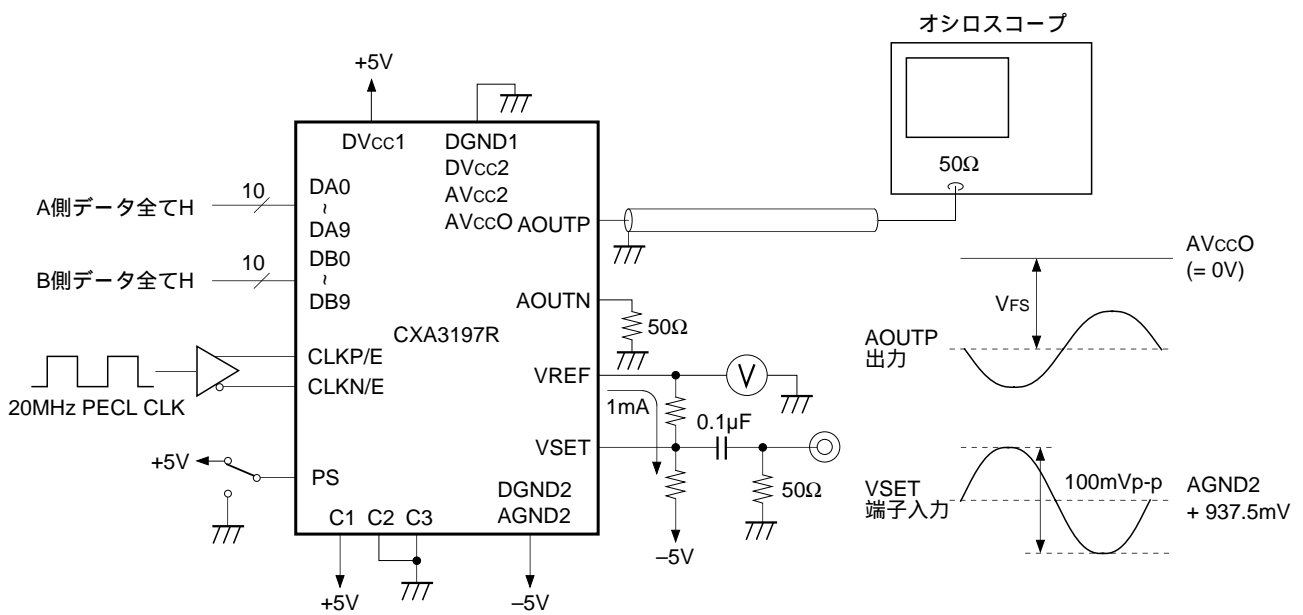


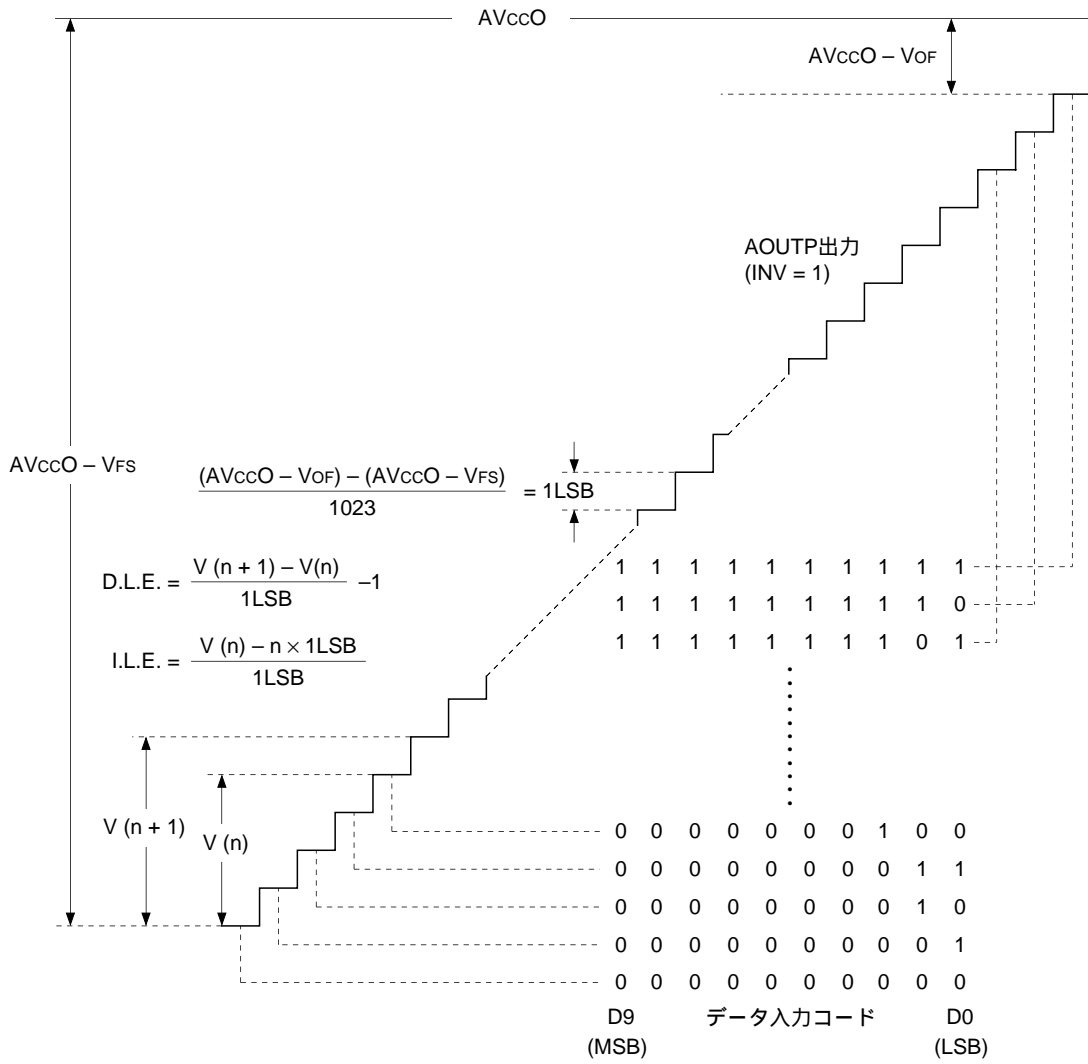
アナログ出力立ち上がり時間
 アナログ出力立ち下がり時間
 セトリング時間
 グリッチエネルギー



リファレンス/コントロールアンプ特性

VREF端子出力電圧
 PS時VREF端子出力電圧
 マルチプライング帯域幅





データ入力コード				アナログ出力レベル	
INV = 1		INV = 0		AOUTP	AOUTN
(MSB) D9	(LSB) D0	(MSB) D9	(LSB) D0		
1 1 1 1 1 1 1 1 1 1	0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0	1 1 1 1 1 1 1 1 1 1	$AV_{ccO} - V_{of}$	$AV_{ccO} - V_{Fs}$
⋮		⋮		⋮	⋮
0 0 0 0 0 0 0 0 0 0		1 1 1 1 1 1 1 1 1 1		$AV_{ccO} - V_{Fs}$	$AV_{ccO} - V_{of}$

表1. 入出力対応表

動作説明

CXA3197Rは、種々のアプリケーションに対応できるように4種類の動作モードを用意しました。動作モードの設定はファンクション設定端子 (C1, C2, C3) を切り換えることにより行います。

動作モード表

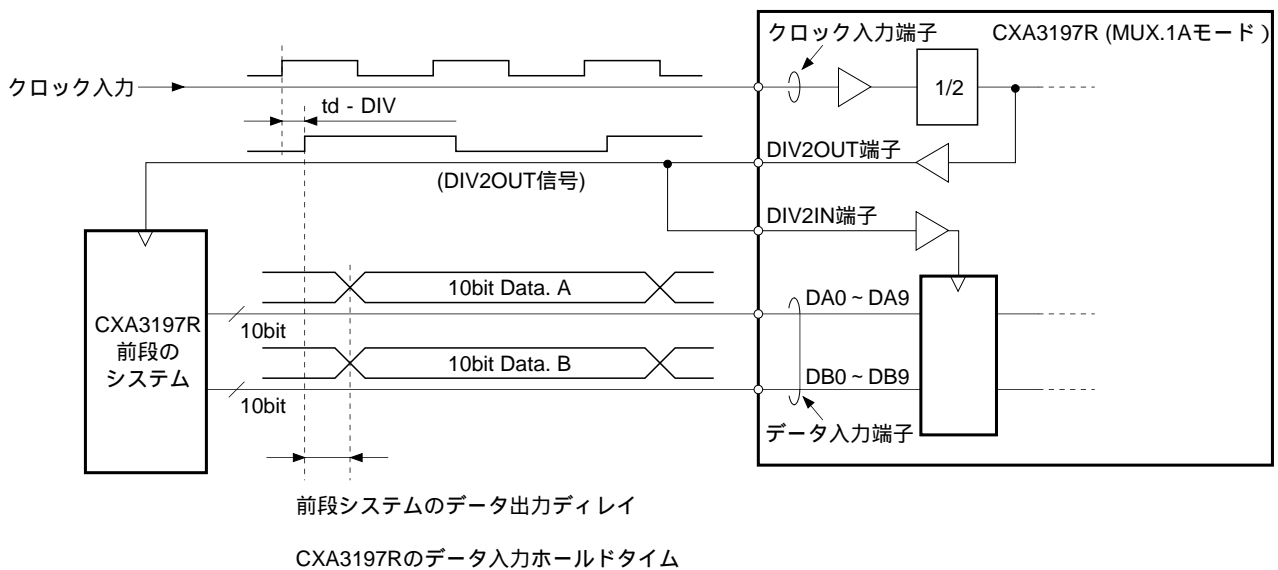
Mode	C1	C2	C3	CLK IN (MSPS)	Data IN (Mbps)	AOUT (Mbps)	DIV2OUT端子	動作説明
MUX.1A	0	0	0	125	62.5	125	CLK / 2をTTLレベルで出力	内部CLK / 2によるMUX動作
MUX.1B	0	0	1				High impedance	内部CLK / 2によるMUX動作
MUX.2	0	1	0				High impedance	DIV2INによるMUX動作
SELE.A	1	0	0		125		High impedance	A側データ入力をD / A変換
SELE.B	1	1	0				High impedance	B側データ入力をD / A変換

CXA3197Rは、データをA系統 (DA0 ~ DA9), B系統 (DB0 ~ DB9) の2系統に分けて入力することができ、IC内部でマルチプレクスしてアナログ信号として出力することができるため、データレートを半分にするのが可能となりました。これにより、従来の高速D / Aコンバータでは、データ入力レベルがECLだったのに対し、CXA3197Rは、データ入力レベルをTTL対応とする事が出来ました。クロック信号、およびリセット信号の入力レベルは、TTL, PECLのいずれかをアプリケーションに合わせて選べます。(ただし、両信号共、TTLまたはPECLのどちらか一方の入力レベルに統一することをお勧めします。)

1. MUX.1Aモード

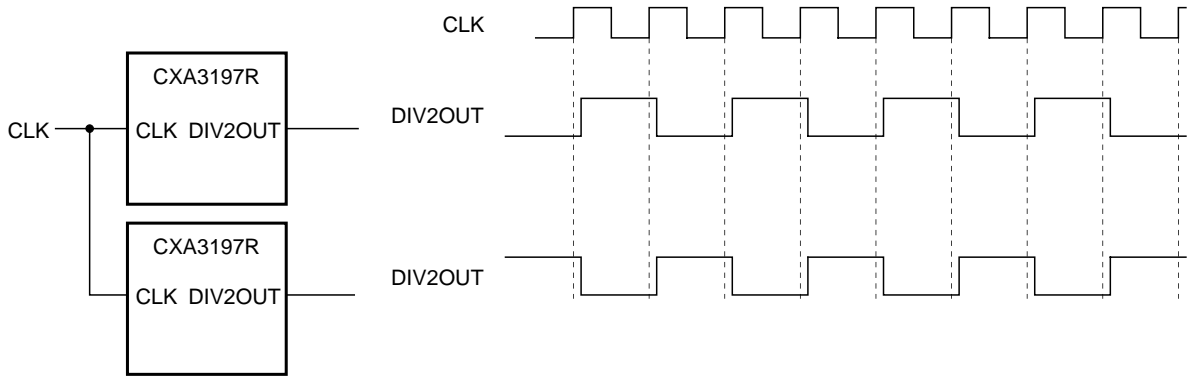
このモードは、C1, C2, C3を全てLとします。

MUX.1Aモードは、クロック入力端子から入力されたクロックをIC内部で1 / 2分周して、1 / 2分周された信号をDIV2OUT端子からTTLレベルで出力します。DIV2OUT端子から出力された信号 (以下、DIV2OUT信号) でCXA3197R前段のシステムを動作させることにより、DIV2OUT信号に同期したデータを得ることができます。このデータとDIV2OUT信号をそれぞれデータ入力端子、DIV2IN端子に入力することで、CXA3197R前段のシステムのデータ出力ディレイが、CXA3197Rのデータ入力時のホールドタイムになるためタイミングの設定が容易になります。データはA系統 (DA0 ~ DA9), B系統 (DB0 ~ DB9) の2系統に分けて入力することができ、IC内部でマルチプレクスして、アナログ出力を取り出すことができます。

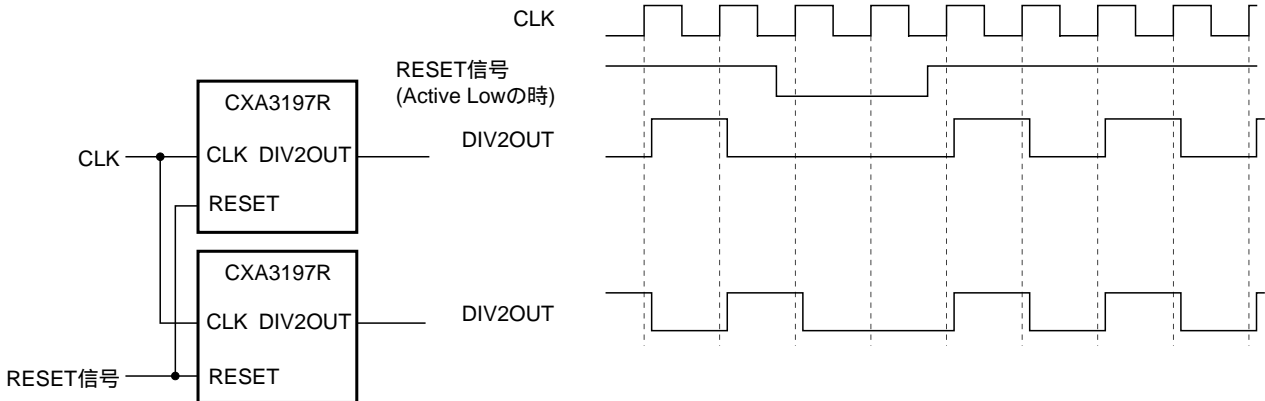


MUX.1AモードでCXA3197Rを複数個並べて使用する場合、1/2分周クロックの始動するタイミングにずれが発生し、次項のような動作を起こすことがあります。その対策としてMUX.1Aモードでは1/2分周クロックの始動するタイミングをリセット信号により揃える機能を備えています。リセット信号を使用する場合、リセット信号がPECLレベルの時は、23, 24pin (RESETP/E, RESETN/E) にリセット信号を入力し、22pin (RESET/T) を開放にしておきます。リセット信号がTTLレベルの時は、22pin (RESET/T) にリセット信号を入力し、23, 24pin (RESETP/E, RESETN/E) を開放にしておきます。リセットの極性はR POLARITY端子 (39pin) により切り換えることができます。R POLARITY端子をHまたは開放にすることで、リセットはActive Lowで機能し、Lレベルにすることで、Active Highで機能します。タイミングの詳細はタイミング図の項を参照して下さい。

RESET信号を使わない時の例



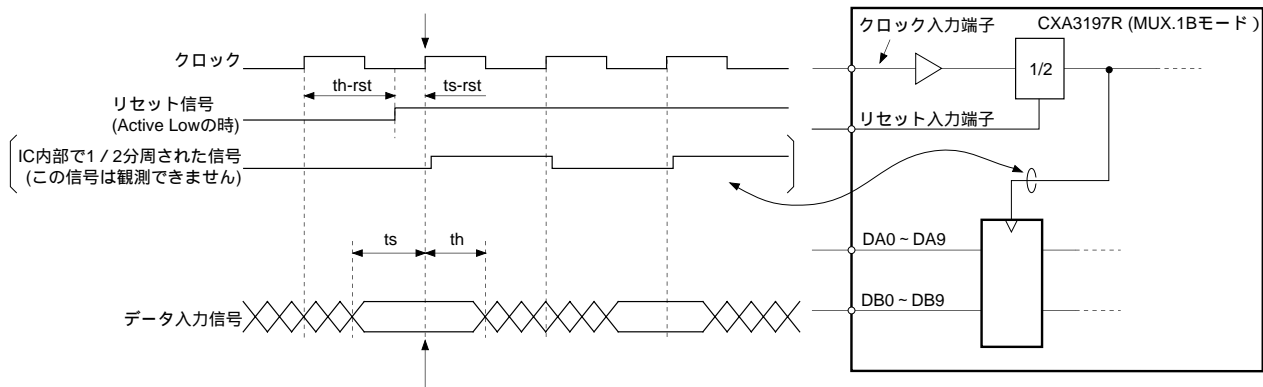
RESET信号を使った時の例



2. MUX.1Bモード

このモードは、C1, C2をL, C3をHとします。

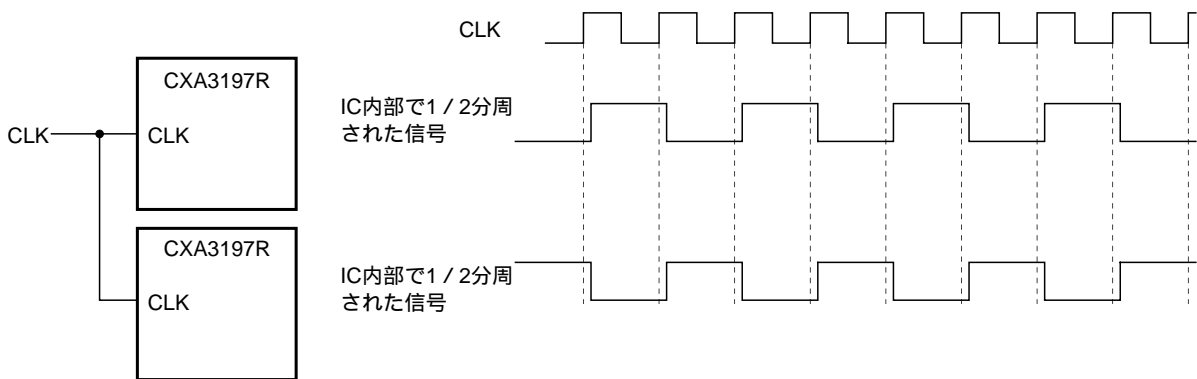
MUX.1Bモードは、クロック入力端子から入力されたクロックをIC内部で1/2分周して、この1/2分周された信号でデータを取り込みます。この時、この1/2分周された信号は観測することができないため、クロックとリセット信号を観測して、IC内部で1/2分周される信号の立ち上がりエッジを予測してデータを取り込むことになります。データはA系統 (DA0 ~ DA9), B系統 (DB0 ~ DB9) の2系統に分けて入力することができ、IC内部でマルチプレクスして、A系統データはクロックによる取り込みから2クロックのパイプラインディレイをもって、B系統データはクロックによる取り込みから3クロックのパイプラインディレイをもってアナログ信号として出力されます。



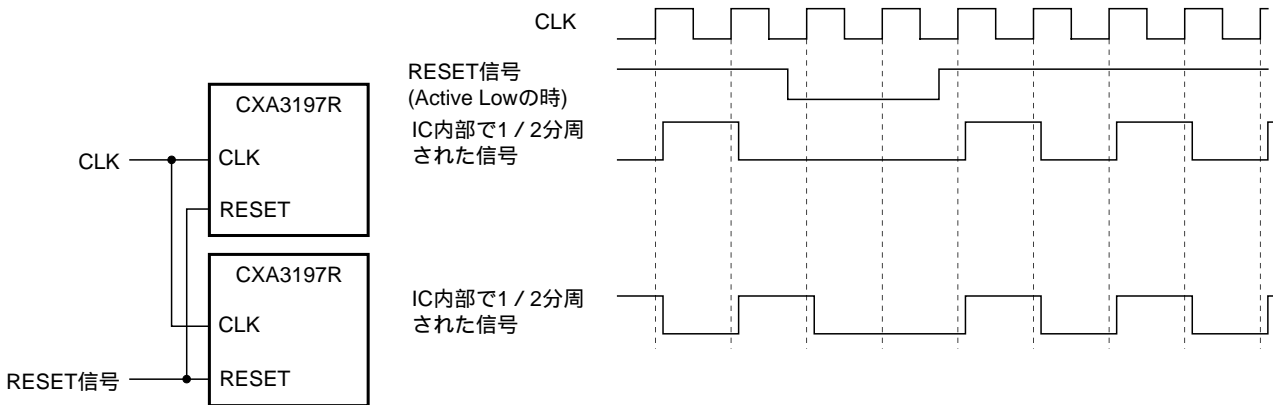
リセットが解除された後、最初のクロックエッジで、IC内部の1/2分周信号は始動しますので、このクロックエッジに対して、セットアップタイム (ts) とホールドタイム (th) を満足できるようにデータを入力します。

MUX.1BモードでCXA3197Rを複数個並べて使用する場合も、MUX.1Aモードと同様に、1/2分周クロックの始動するタイミングにずれが発生し、次項のような動作を起すことがあります。その対策としてMUX.1Bモードにおいても1/2分周クロックの始動するタイミングをリセット信号により揃える機能を備えています。リセット信号を使用する場合、リセット信号がPECLレベルの時は、23, 24pin (RESETP/E, RESETN/E) にリセット信号を入力し、22pin (RESET/T) を開放にしておきます。リセット信号がTTLレベルの時は、22pin (RESET/T) にリセット信号を入力し、23, 24pin (RESETP/E, RESETN/E) を開放にしておきます。リセットの極性はR POLARITY端子 (39pin) により切り換えることができます。R POLARITY端子をHまたは開放にすることで、リセットはActive Lowで機能し、Lレベルにすることで、Active Highで機能します。タイミングの詳細はタイミング図の項を参照して下さい。

RESET信号を使わない時の例



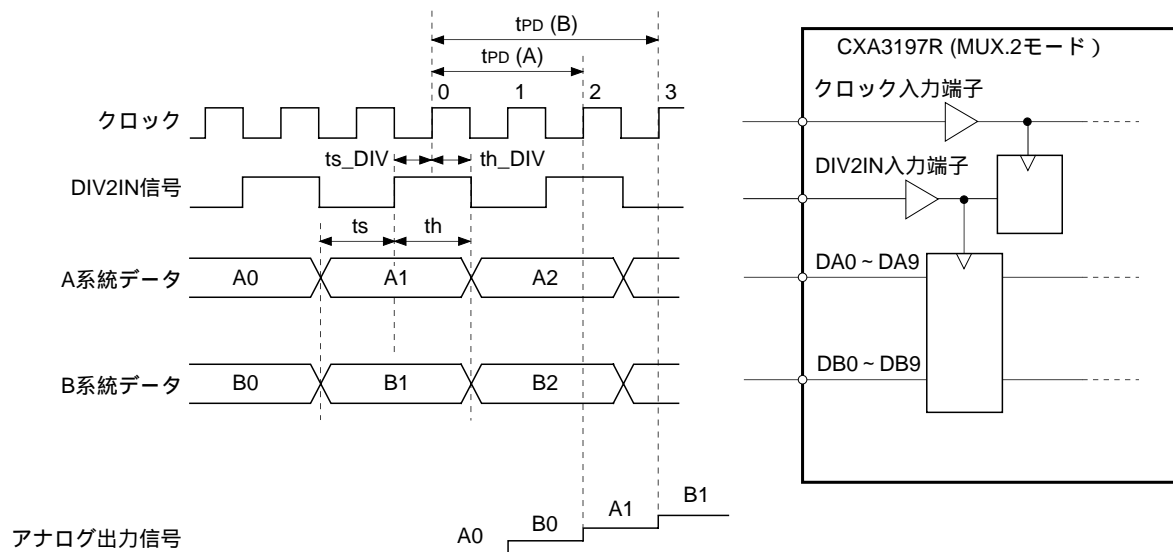
RESET信号を使った時の例



3. MUX.2モード

このモードは、C1, C3をL, C2をHとします。

MUX.2モードは、クロック入力端子にクロックを入力し、さらにクロックの半分の周期の信号（以下、DIV2IN信号）をTTLレベルでDIV2IN端子に入力します。DIV2IN信号はIC内部でクロックによりラッチされるため、クロックに対するセットアップタイム (t_{s_DIV}) とホールドタイム (t_{h_DIV}) を考慮する必要があります。また、データはDIV2IN信号により取り込まれるため、DIV2IN信号に対しセットアップタイム (t_s) とホールドタイム (t_h) を考慮する必要があります。データはA系統 (DA0 ~ DA9), B系統 (DB0 ~ DB9) の2系統に分けて入力することができ、IC内部でマルチプレクスして、A系統データは、このDIV2IN信号を取り込むクロックから2クロックのパイプラインディレイをもって、B系統データは、このDIV2IN信号を取り込むクロックから3クロックのパイプラインディレイをもってアナログ信号として出力されます。タイミング図の項を参照して下さい。



4. SELE.Aモード, SELE.Bモード

SELE.Aモードは, CIをH, C2, C3をLとします。

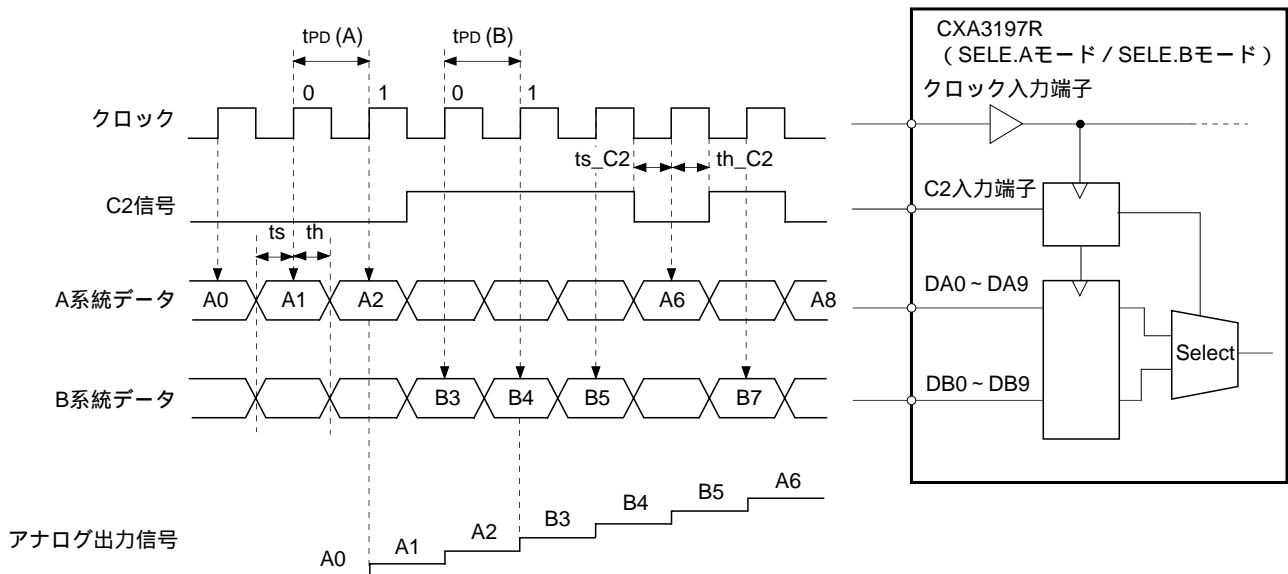
SELE.Aモードは, クロック入力端子にクロックを入力し, A系統 (DA0~DA9) データ入力端子にデータを入力します。

SELE.Bモードは, CI, C2をH, C3をLとします。

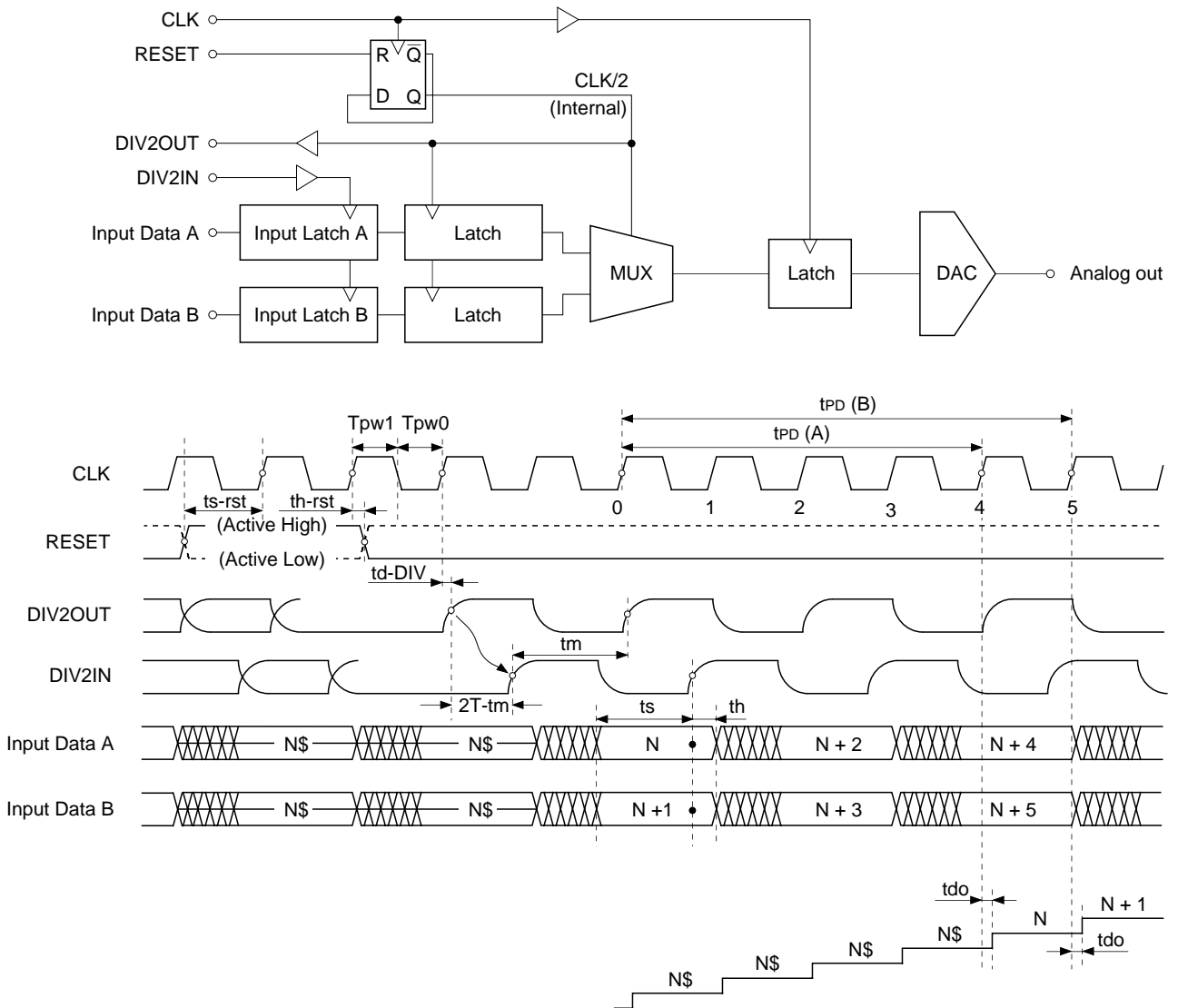
SELE.Bモードは, クロック入力端子にクロックを入力し, B系統 (DB0~DB9) データ入力端子にデータを入力します。

いずれのモードも, データはクロックに対しセットアップタイム (t_s) とホールドタイム (t_h) を考慮する必要があります。また, データはクロックによる取り込みから1クロックのパイプラインディレイをもってアナログ信号として出力されます。

SELE.AモードとSELE.Bモードの切り換えは, C2端子をHレベルにするかLレベルにするかで切り換えますが, C2端子に切り換え用の信号 (C2信号) を入力することで, クロックに同期した高速動作での切り換えも可能です。C2信号はIC内部でクロックによりラッチされるため, クロックに対するセットアップタイム (t_{s_C2}) とホールドタイム (t_{h_C2}) を考慮する必要があります。詳細はタイミング図の項を参照して下さい。

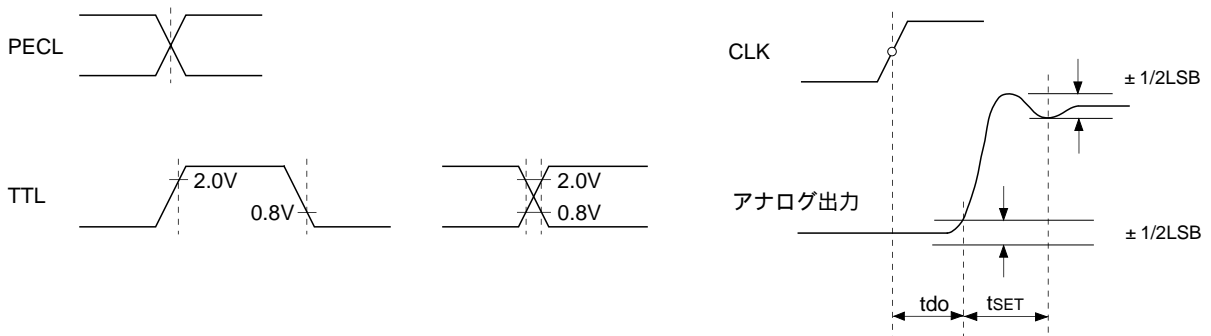


Block Diagram & Timing Chart (MUX.1A Mode)

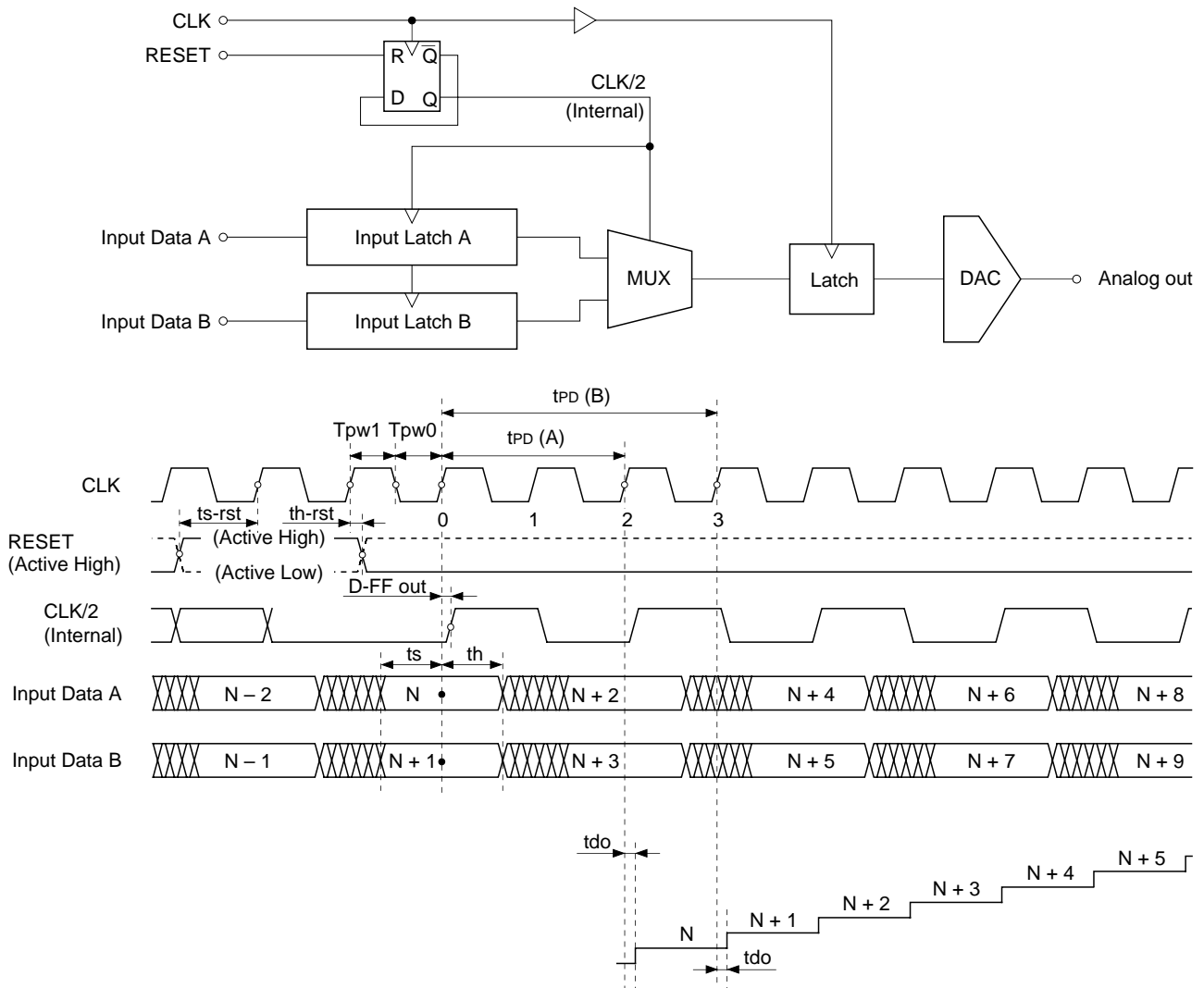


MUX.1Aモードは、Data AとData Bを内部でマルチプレクスして、アナログ出力を取り出すことが可能です。クロックを内蔵のクロック分周回路により1/2分周し、そのCLK/2をTTLレベルで出力 (DIV2OUT) することができます。CLK/2は、RESET信号によりリセット可能です。

(タイミングの判定ポイント)

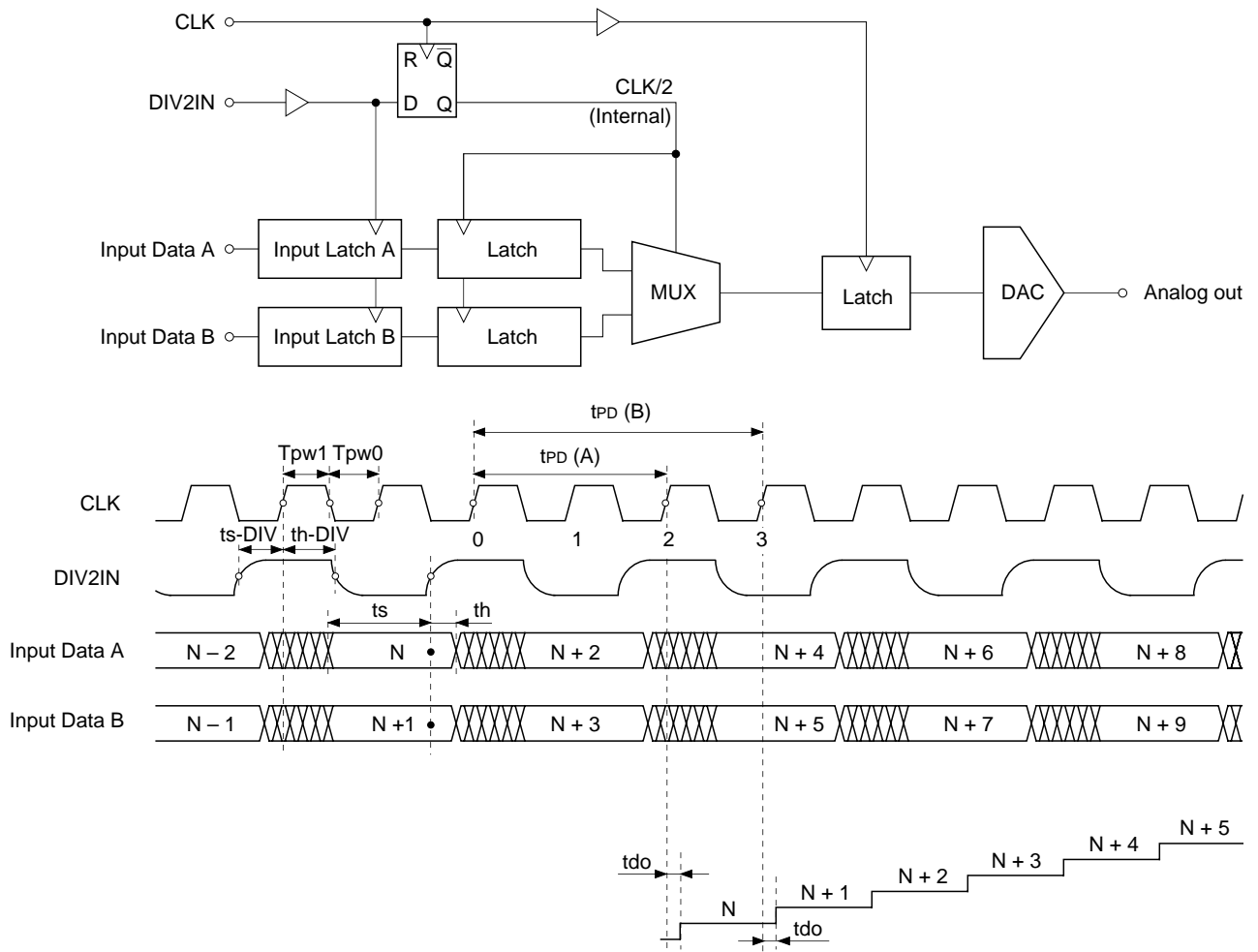


Block Diagram & Timing Chart (MUX.1B Mode)



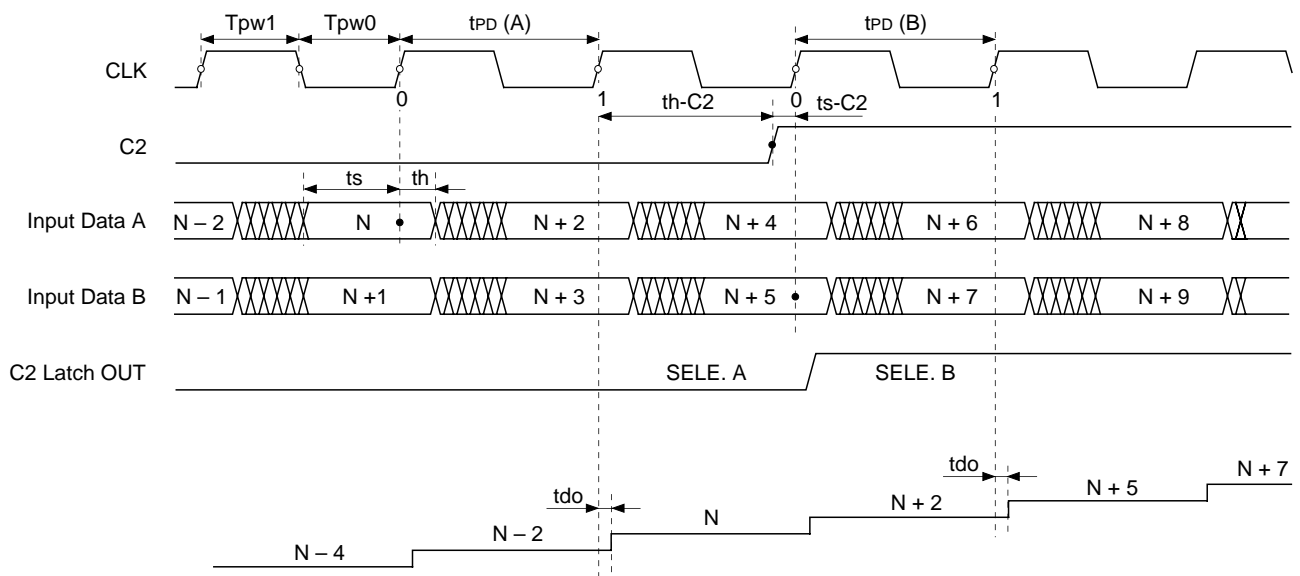
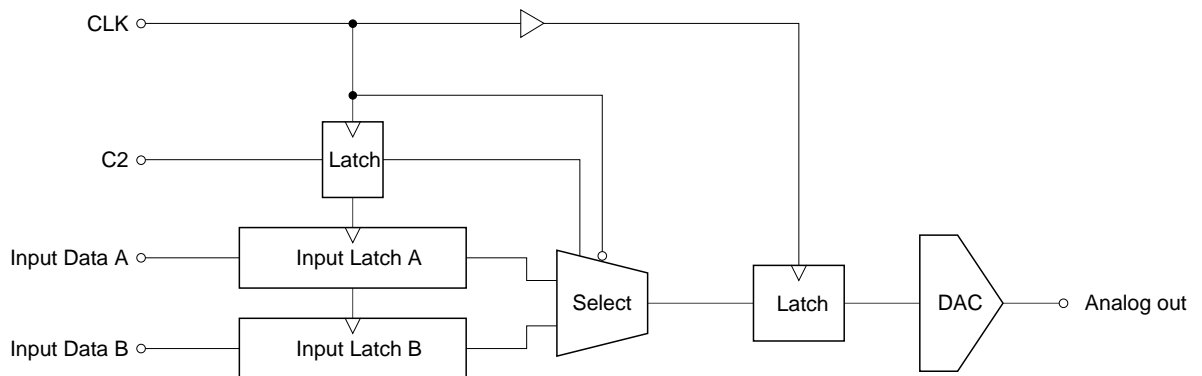
MUX.1Bモードは，Data AとData Bを内部でマルチプレクスして，アナログ出力を取り出すことが可能です。クロックを内蔵のクロック分周回路により1/2分周して動作します。CLK / 2は，RESET信号によりリセット可能です。

Block Diagram & Timing Chart (MUX.2 Mode)



MUX.2モードは、クロックを1/2分周した信号 (DIV2IN) と、それに同期したData AおよびData Bを同時に与え、内部でマルチプレクスして、アナログ出力を取り出すことが可能です。

Block Diagram & Timing Chart (SELE.A, SELE.B Mode)



SELE.A, SELE.Bモードは，入力されたData A, Data Bのどちらか一方を選択して，アナログ出力を取り出すことが可能です。C1 = “1”，C3 = “0”の状態ではC2 = “0”とすることでData Aが選択され，C2 = “1”とすることで，Data Bが選択されます。

応用回路例

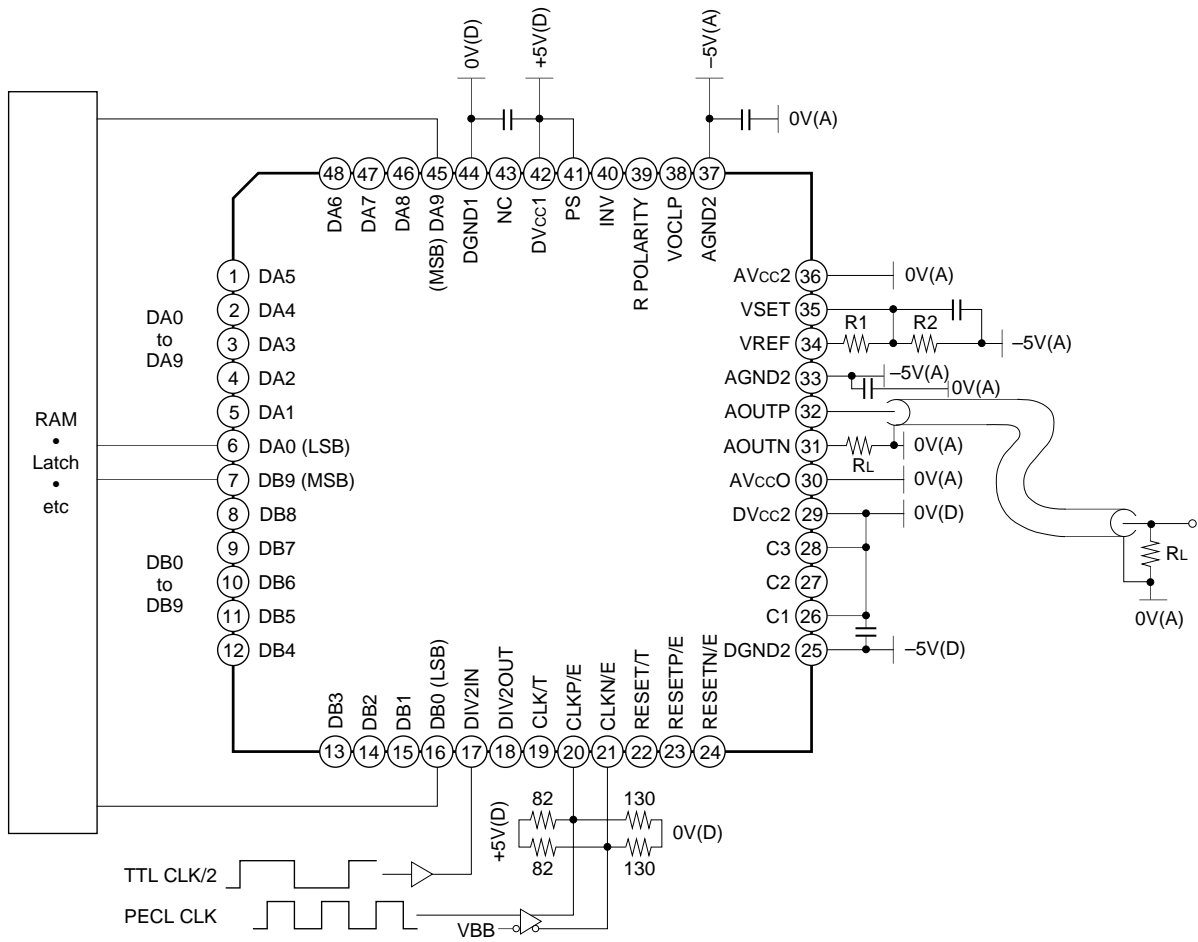
下記に示す回路は、MUX.2 モード動作において電源を ±5Vの二電源で動作させ、アナログ出力を外付け抵抗 $R_L = 50$ にて終端した時の基本回路を示します。アナログ出力は、 AV_{CCO} を基準に出力されます。アナログ出力のフルスケール電圧 V_{FS} は次式で求められます。

$$V_{FS} = \frac{V_{SET}}{375} \times \left(15 + \frac{63}{64} \right) \times R$$

$R = R_o // R_L$
 R_o : 出力インピーダンス (= 50)
 R_L : 外付け終端抵抗

ただし、 $V_{SET} = \frac{R_2}{R_1 + R_2} V_{REF}$

($V_{REF} = 1.2V$)
 ($R_1 + R_2 = 1.2k$)



この資料の応用回路例は、使用上の参考として、代表的な応用例を示したもので、これらの回路の使用に起因する損害あるいは第三者の工業所有権の侵害の問題について、当社は一切の責任を負いません。

使用上の注意

- CXA3197Rは、クロック入力、およびリセット入力に、PECL用入力端子とTTL用入力端子を備えています。クロックをPECLレベルで入力した場合は、リセットもPECLレベルで入力することをお勧めします。また、同様に、クロックをTTLレベルで入力した場合は、リセットもTTLレベルで入力することをお勧めします。
- CXA3197Rを高速で安定に動作させるためには、入力する信号のインピーダンスマッチングをきちんとしてお使い下さい。
特に、MUX.1Aモード、および、MUX.1Bモードにて使用される場合は、入力するクロックに、リングングがあると、このリングングがクロック入力のしきい値を超えた場合、IC内部の1/2分周回路が誤動作を起こすことがあります。
- CXA3197RのTTL入力端子は、PS端子以外は全て、開放状態でHレベルになりますが、PS端子だけは開放状態でLレベルになります。ICを動作させるには、PS端子をHレベルにして下さい。
PECL入力端子は、開放状態において、P（ポジティブ）側がHレベルで、N（ネガティブ）側がLレベルとなります。PECL入力端子を使用する場合は、必ずコンプリメンタリで使用して下さい。
- クロック、およびリセットの入力信号レベルがTTLレベルの場合は、*** / T端子を用い、*** / E端子は開放にしておきます。
また、PECLレベルの場合は、*** / E端子を用い、*** / T端子は開放にしておきます。
- 電源とグラウンドの引き回しは、コンバータの特性に大きな影響を与えます。特に、高速で動作させる場合は重要になります。
以下に一般的注意事項を示します。

グラウンドのパターンはできるだけ広くして下さい。多層基板を用い、ベタグラウンドにすることをお勧めします。

また、アナログ系の電源パターンとデジタル系の電源パターンの間に、DC的なオフセットの発生を防ぐために、パターンの一ヶ所でフェライトビーズ等を用いて接続することをお勧めします。

CXA3197Rを単一電源で使用する場合、DGND1とDGND2は、共通のデジタルグラウンドを用い、AGND2をアナロググラウンドに接地します。また、DVcc1とDVcc2は、共通のデジタル電源を用い、AVcc2をアナログ電源に繋がります。AVcc0はアナログ出力の基準になりますので、アナログ電源と共通でなくても動作しますが、アナログ出力のコンプライアンス電圧を満足する範囲内で使用して下さい。

CXA3197Rを2電源で使用する場合、DGND1とDVcc2をデジタルグラウンドに接地し、AVcc2をアナロググラウンドに接地します。DVcc1は、正のデジタル電源（+5V (typ.)), DGND2は、負のデジタル電源（-5V (typ.)), AGND2は、負のアナログ電源（-5V (typ.))を用います。また、AVcc0端子は単一電源時と同様、アナログ出力のコンプライアンス電圧を満足する範囲内での使用も可能ですが、アナロググラウンドに接地して、アナログ出力をアナロググラウンド基準で出力することをお勧めします。

各電源端子は、それぞれピンのできるだけ近くで0.1 μ F以上のセラミックチップコンデンサを用い、グラウンドに接地して下さい。

単一電源の時は、DVcc1, DVcc2はデジタルグラウンド、AVcc2, AVcc0はアナロググラウンドに、

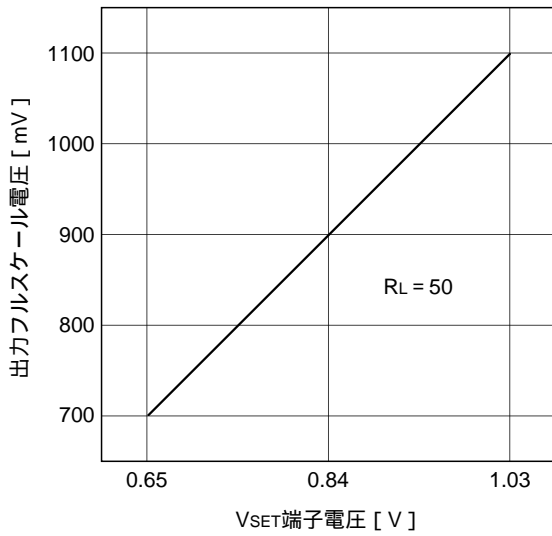
2電源の時は、DVcc1, DGND2はデジタルグラウンド、AGND2はアナロググラウンドに、

また、2電源において、AVcc0をコンプライアンス電圧の範囲内で使用する場合は、AVcc0端子もアナロググラウンドに、セラミックチップコンデンサを用いて接地して下さい。

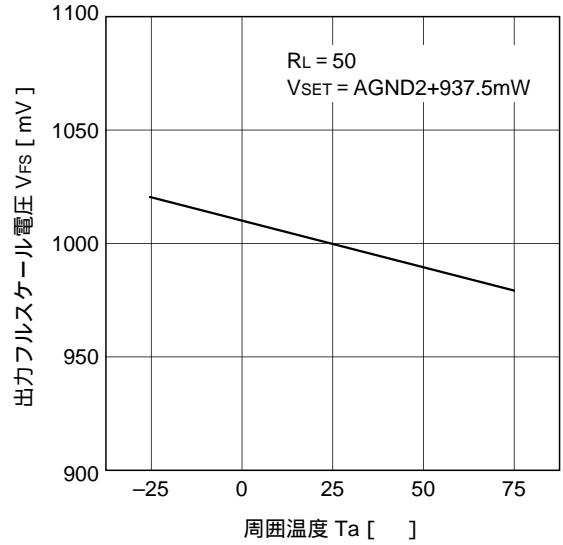
- CXA3197Rのアナログ出力インピーダンスは、50 Ω に設計されています。アナログ出力は、50 Ω の特性インピーダンスで配線し、50 Ω で終端することで、反射の無い波形が得られます。AOUTP, AOUTNのいずれか一方しか使わない場合でも、片方のアナログ出力を50 Ω で終端する場合は、必ず他方も50 Ω で終端して下さい。（応用回路例参照）

代表的特性例

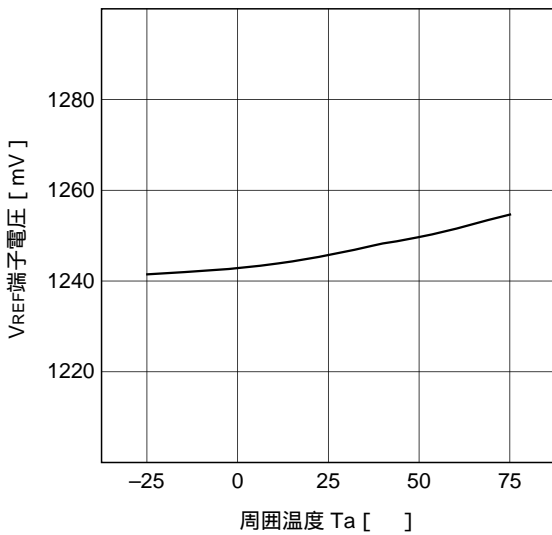
出力フルスケール電圧 対 VSET端子電圧



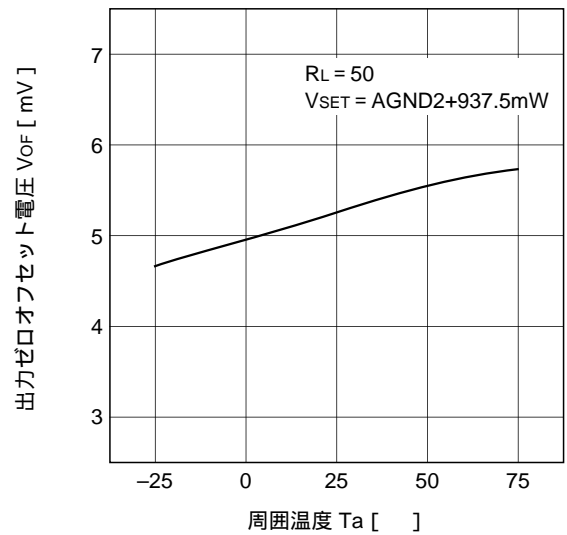
出力フルスケール電圧 対 周囲温度



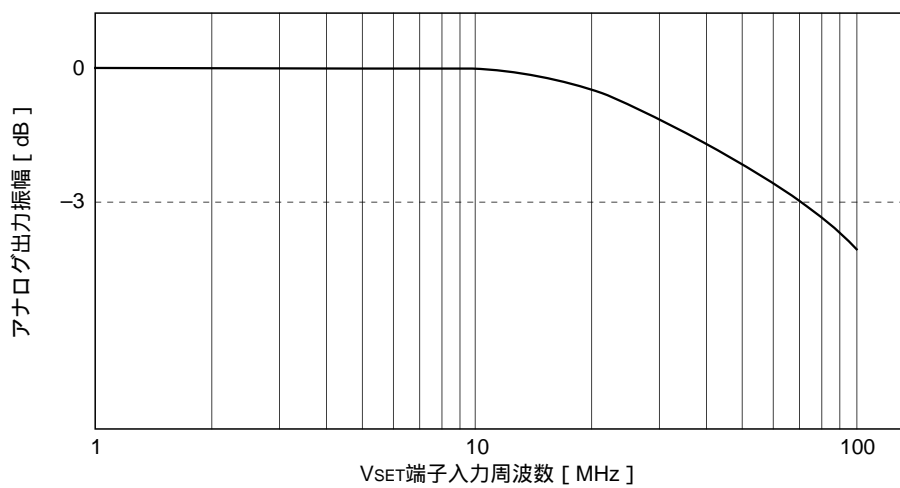
VREF端子電圧 対 周囲温度



出力ゼロオフセット電圧 対 周囲温度

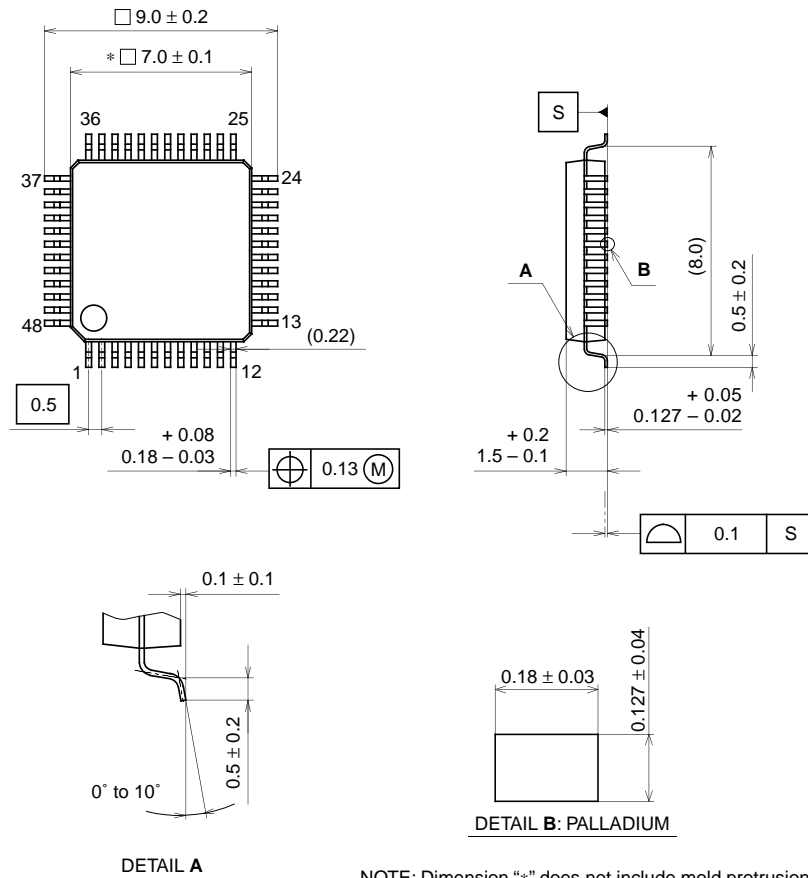


マルチプライング帯域帯



外形寸法図 単位：mm

48PIN LQFP (PLASTIC)



NOTE: Dimension "*" does not include mold protrusion.

PACKAGE STRUCTURE

SONY CODE	LQFP-48P-L01
EIAJ CODE	P-LQFP48-7x7-0.5
JEDEC CODE	_____

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	PALLADIUM PLATING
LEAD MATERIAL	COPPER ALLOY
PACKAGE MASS	0.2g