

10bitトランシーバ

概要

CXB1596ARはPLLを内蔵したFibre ChannelとGigabit Ethernet用トランシーバICです。受信側は1.0625 / 1.25Gbaudのシリアルデータを受け取り、10bitの平行データに変換し出力します。送信側は10bit平行データを受け取り、1.0625 / 1.25Gbaudのシリアルデータに変換して出力します。

特長

- トランスミッタ/レシーバを1チップ化
- ANSI X3T11 Fibre Channel対応1.0625Gbaud (FC_0)
- IEEE802.3z Gigabit Ethernet対応1.25Gbaud
- 10bitインタフェース対応
- TTL/ECL対応
- クロック生成用、クロックデータリカバリ用PLL
- バイト同期検出 (+ Comma信号)
- 周波数オートロック機能
- 低消費電力 (620mW標準)
- 64ピンPlastic LQFPパッケージ (10×10mm)

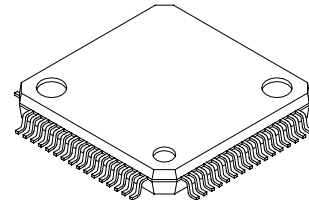
用途

- 1.0625Gbaud Fibre Channel Interface
- 1.25Gbaud Gigabit Ethernet Interface
- Work Station / Server / HDD Interface
- 高速データ通信
- Switched networks

構造

バイポーラ シリコン モノリシックIC

64 pin LQFP (Plastic)



絶対最大定格

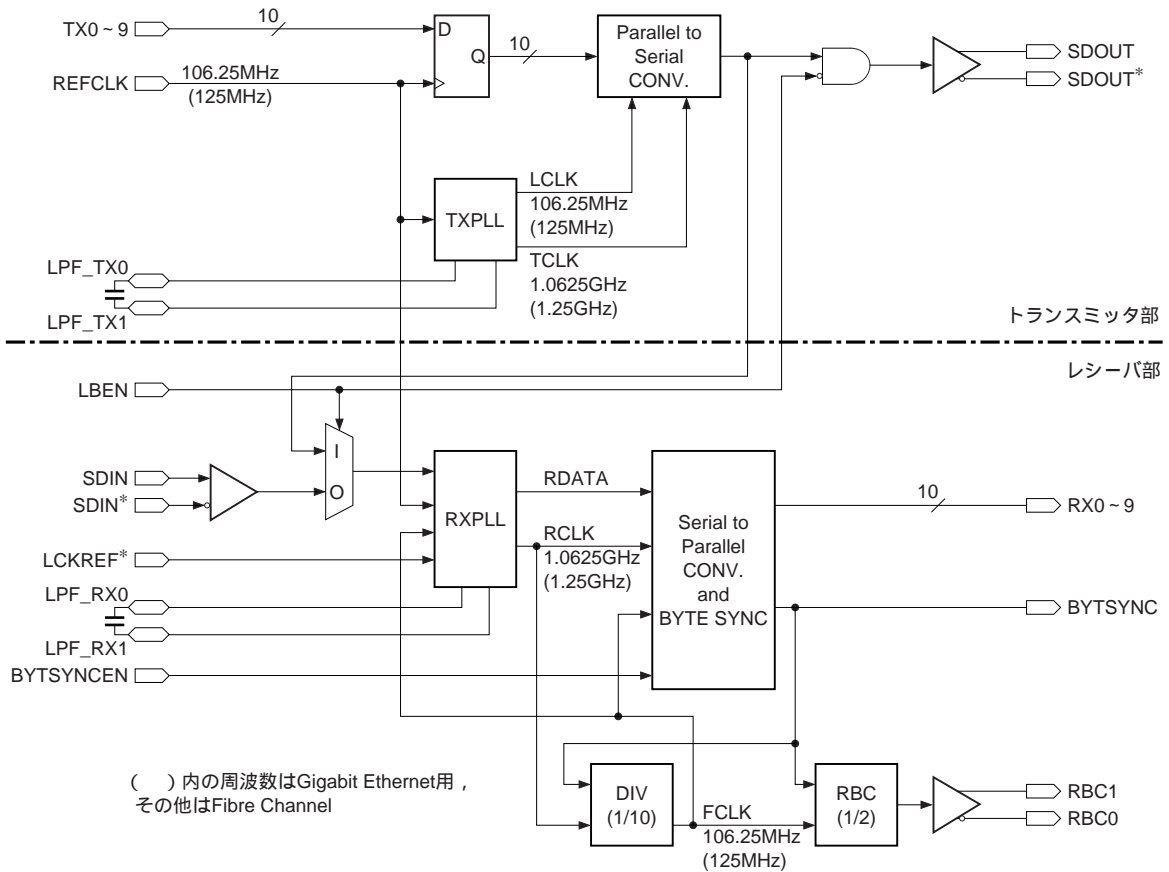
• 電源電圧	V _{CC}	- 0.3 ~ + 4	V
• TTL DC入力電圧	V _{I_T}	- 0.5 ~ + 5.5	V
• ECL DC入力電圧	V _{I_E}	V _{CC} - 2 ~ V _{CC}	V
• ECL差動入力電圧振幅	V _{IS_E}	- 4 ~ + 4	V
• TTL出力電流Hレベル	I _{OH_T}	- 20 ~ 0	mA
• TTL出力電流Lレベル	I _{OL_T}	0 ~ 20	mA
• ECL出力電流	I _{O_E}	- 30 ~ 0	mA
• 周囲温度	T _a	- 55 ~ + 100	
		(バイアス条件下)	
• 保存温度	T _{stg}	- 65 ~ + 150	
• 許容損失	P _D	880	mW

推奨動作条件

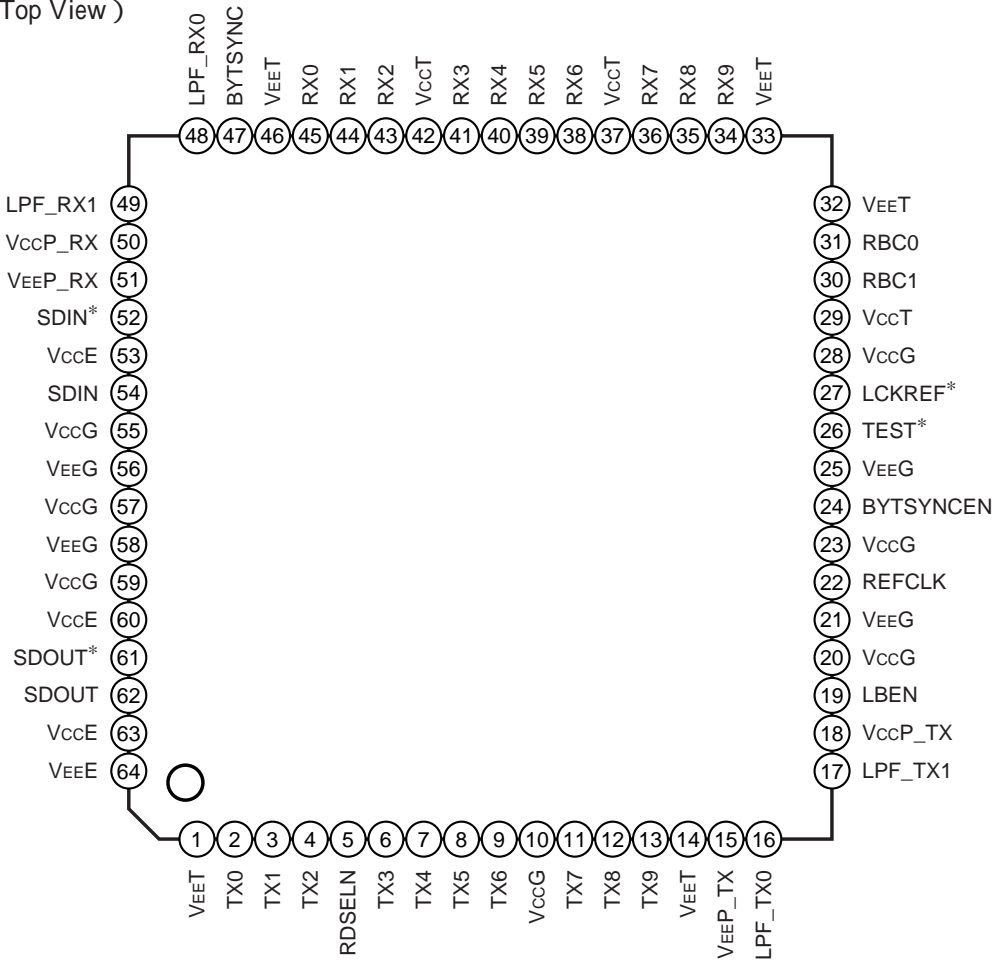
• 電源電圧	V _{CC}	3.135 ~ 3.465	V
		(3.3V Typ.)	
• PECL AC結合差動出力負荷抵抗	R _L	(to V _{CC} - 2V) 50	
		(to V _{EE}) 150	
• 周囲温度	T _a	0 ~ + 70	

本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

ブロック図



端子配列図 (Top View)



端子説明

端子番号	端子記号	種類	端子標準電圧	等価回路	端子説明
1, 14, 32, 33, 46	VEET	電源	0V		TTL出力用負電源端子。
2~4, 6~9, 11~13	TX0~TX9	TTL入力	TTLレベル		パラレルデータ入力端子。TX0から順にシリアル化されます。
5	RDSELN	テスト入力	TTL Highレベル		テスト用入力端子。TTL HighレベルがOPENにして下さい。
10, 20, 23, 28, 55, 57, 59	VccG	電源	3.3V		内部回路用正電源端子。
15	VEEP_TX	電源	0V		TXPLL用負電源端子。
16, 17	LPF_TX0, LPF_TX1	外部部品接続端子	-		TX用外部ループフィルタ接続端子。
18	VccP_TX	電源	3.3V		TXPLL用正電源端子。
19	LBEN	TTL入力	TTLレベル		ループバック・イネーブル端子。Highの時、TXシリアル出力を内部でRX側にシリアル入力します。Lowの時、送受信可能になります。

端子番号	端子記号	種類	端子標準電圧	等価回路	端子説明
21, 25, 56, 58	V _{EEG}	電源	0V		内部回路用負電源端子。
22	REFCLK	TTL入力	TTLレベル		外部参照クロック入力端子。
24	BYTSYNCEN	TTL入力	TTLレベル		バイト同期イネーブル端子。 Highの時，COMMA検出回路が動作してバイト同期が行われます。
26	TEST*	テスト入力	TTL Highレベル		テスト用入力端子。 TTL HighレベルがOPENにして下さい。
27	LCKREF*	TTL入力	TTLレベル		強制参照クロックロック端子。 Lowの時，強制的に外部参照クロック(REFCLK)にPLLロックします。 通常はHighでオートロックモード。
29, 37, 42	V _{ccT}	電源	3.3V		TTL出力用正電源端子。

端子番号	端子記号	種類	端子標準電圧	等価回路	端子説明
30 31	RBC1 RBC0	TTL出力	TTLレベル		シリアルデータより再生された受信側バイトクロック。 RBC1とRBC0は180°ずれた位相のクロックを出力します。
34 ~ 36, 38 ~ 41, 43 ~ 45	RX0 ~ RX9	TTL出力	TTLレベル		パラレルデータ出力端子。シリアルデータの最初がRX0に、最後がRX9に順にパラレル化します。
47	BYTSYNC	TTL出力	TTLレベル		バイト同期検出信号。COMMA信号が検出されると1バイト期間Highを出力します。
48 49	LPF_RX0 LPF_RX1	外部部品接続端子	-		RX用外部ループフィルタ接続端子。
50	VccP_RX	電源	3.3V		RXPLL用正電源端子。
51	VeeP_RX	電源	0V		RXPLL用負電源端子。

端子番号	端子記号	種類	端子標準電圧	等価回路	端子説明
52 54	SDIN* SDIN	ECL入力	PECL レベル		シリアルデータ入力端子。
53, 60, 63	VccE	電源	3.3V		ECL出力用正電源端子。
61 62	SDOUT* SDOUT	ECL出力	PECL レベル		シリアルデータ出力端子。
64	VEEE	電源	0V		ECL出力用負電源端子。

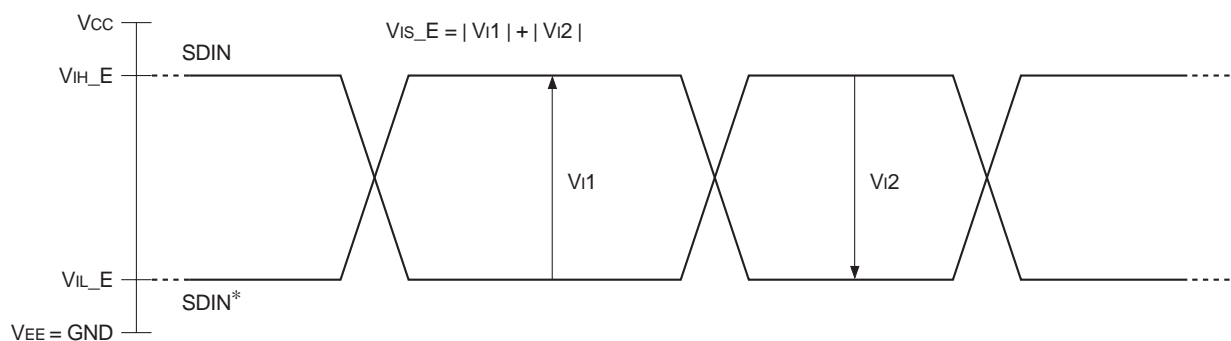
電気的特性

DC特性

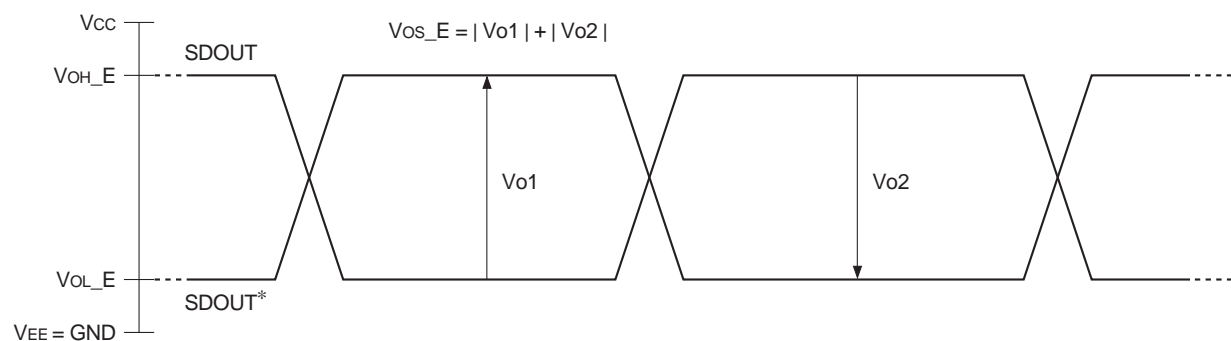
($V_{CC} = 3.135 \sim 3.465V$, $T_a = 0 \sim 70$)

項目	記号	条件	最小値	標準値	最大値	単位
TTL入力電圧Highレベル	V_{IH_T}		2		5.5	V
TTL入力電圧Lowレベル	V_{IL_T}		0		0.8	V
TTL入力電流Highレベル	I_{IH_T}	$V_{IN} = V_{CC}$			20	μA
TTL入力電流Lowレベル	I_{IL_T}	$V_{IN} = 0V$	- 400			μA
TTL出力電圧Highレベル	V_{OH_T}	$I_{OH} = - 0.4mA$	2.2			V
TTL出力電圧Lowレベル	V_{OL_T}	$I_{OL} = 2mA$			0.5	V
ECL入力電圧Highレベル	V_{IH_E}		$V_{CC} - 1.17$		$V_{CC} - 0.88$	V
ECL入力電圧Lowレベル	V_{IL_E}		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V
ECL差動入力電圧振幅	$V_{IS_E}^{*1}$	AC結合入力, ピークtoピーク	200		2000	mV
ECL作動出力電圧振幅	$V_{OS_E}^{*2}$	ピークtoピーク	1200		2000	mV
消費電流	I_{CC}	出力端子オープン		188	255	mA
消費電力	P_D	出力端子オープン		620	870	mW

*1 ECL差動入力電圧振幅



*2 ECL差動出力電圧振幅



AC特性

($V_{CC} = 3.135 \sim 3.465V$, $T_a = 0 \sim 70$)

項目	記号	条件	最小値	標準値	最大値	単位
TxTTL入力立ち上がり時間	Tir_Tx	0.8 ~ 2.0V	0.7		4.8	ns
TxTTL入力立ち下がり時間	Tif_Tx	2.0 ~ 0.8V	0.7		4.8	ns
REFCLK入力立ち上がり時間	Tir_REF	0.8 ~ 2.0V	0.7		2.4	ns
REFCLK入力立ち下がり時間	Tif_REF	2.0 ~ 0.8V	0.7		2.4	ns
TTL出力立ち上がり時間	Tor_T	0.8 ~ 2.0V, CL = 10pF			3.5	ns
TTL出力立ち下がり時間	Tof_T	2.0 ~ 0.8V, CL = 10pF			3.5	ns
ECL出力立ち上がり時間	Tor_E	20 ~ 80%, CL = 2pF			400	ps
ECL出力立ち下がり時間	Tof_E	80 ~ 20%, CL = 2pF			400	ps
動作伝送レート	Br		1.052		1.262	Gbps
REFCLK周波数	F_REF		105.2		126.2	MHz
REFCLK周波数トレランス	Ftol_REF		- 100		100	ppm
Tx / Rx PLL周波数引き込み時間	Tfa	ループダンピング容量 = 0.01 μ F			500	μ s
RxPLLビット同期時間	Tbs	ループダンピング容量 = 0.01 μ F			2500	bit
Txシリアル出力ジッタ Random	RJ	Tx出力データ K28.7		6.2		ps
Txシリアル出力ジッタ Deterministic	DJ	Tx出力データ \pm K28.5		24	60	ps

動作説明

1. トランスミッタ部

入力の10bitパラレルデータ (TX0~9) を外部参照クロック (REFCLK) でラッチして、パラレル/シリアル変換 (Parallel to Serial CONV.) を行い、シリアルデータ (SDOUT / SDOUT*) を出力します。

TXPLLはREFCLKを10逓倍してTCLKを発生させ、これを10分周してLCLKを作ります。パラレル/シリアル変換は、このTCLKとLCLKをクロックとして使っています。[タイミングチャート1) トランスミッタ部を参照]

2. レシーバ部

RXPLLは入力のシリアルデータ (SDIN / SDIN*) からRCLKを再生し、そのシリアルデータをRCLKでリタイミングしてRDATAとして出力します。DIV (Divider) でRCLKを10分周してFCLKを作り、RDATAと2種類のクロック (RCLK, FCLK) とでシリアル/パラレル変換 (Serial to Parallel CONV.) を行っています。同時にSerial to Parallel CONV. ではバイト同期信号 (Comma detect word) の検出を行い、10bitのパラレルデータ (RX0~9) と同期信号 (BYTSYNC) を出力します。また、この同期信号を使ってFCLKを初期化し10bitのパラレルデータのバイト同期を行っています。RBCでは10bitパラレルデータの取り込み用にTCLKの20分周されたクロック (RBC1 / RBC0) を差動で出力します。[タイミングチャート2) レシーバ部を参照]

a. 入力シリアルデータ振幅検出

シリアルデータの入力部には振幅検出と振幅制御回路があります。入力信号の差動振幅が100mVp-p以下の時入力信号をカットして出力をHighレベルに固定します。パラレル出力データ (RX0~9) は全てHighになります。

b. 周波数オートロック

RXPLLでRCLKを再生する時、LCKREF*をHighに設定するとオートロックモードになります。オートロックモードでは、入力のシリアルデータが無信号時にRCLKはREFCLKの10逓倍にロックしシリアルデータが入力されれば、RCLKはシリアルデータのクロック成分にロックします。

LCKREF*をLowに設定するとRCLKは強制的にREFCLKの10逓倍にロックします。

c. バイト同期

BYTSYNCENをHighに設定すると、入力されたシリアルデータ内のcomma dataを検出し、検出信号とバイト同期された10bitのパラレルデータを出力します。この時RBC1 / RBC0も初期化され出力します。BYTSYNCENをLowに設定すると10bitのパラレルデータは任意の順序で出力され、RBC1 / RBC0も任意の位置でエッジが立ち上がります。

d. 差動クロック出力 (RBC1 / RBC0)

RBC1 / RBC0はバイト同期が正常に同期して1回以上comma dataを検出すると、正しい位相で出力されます。バイト同期が非同期でcomma dataを1回検出すると、RBC1 / RBC0は引き延ばされます。

e. ループバック

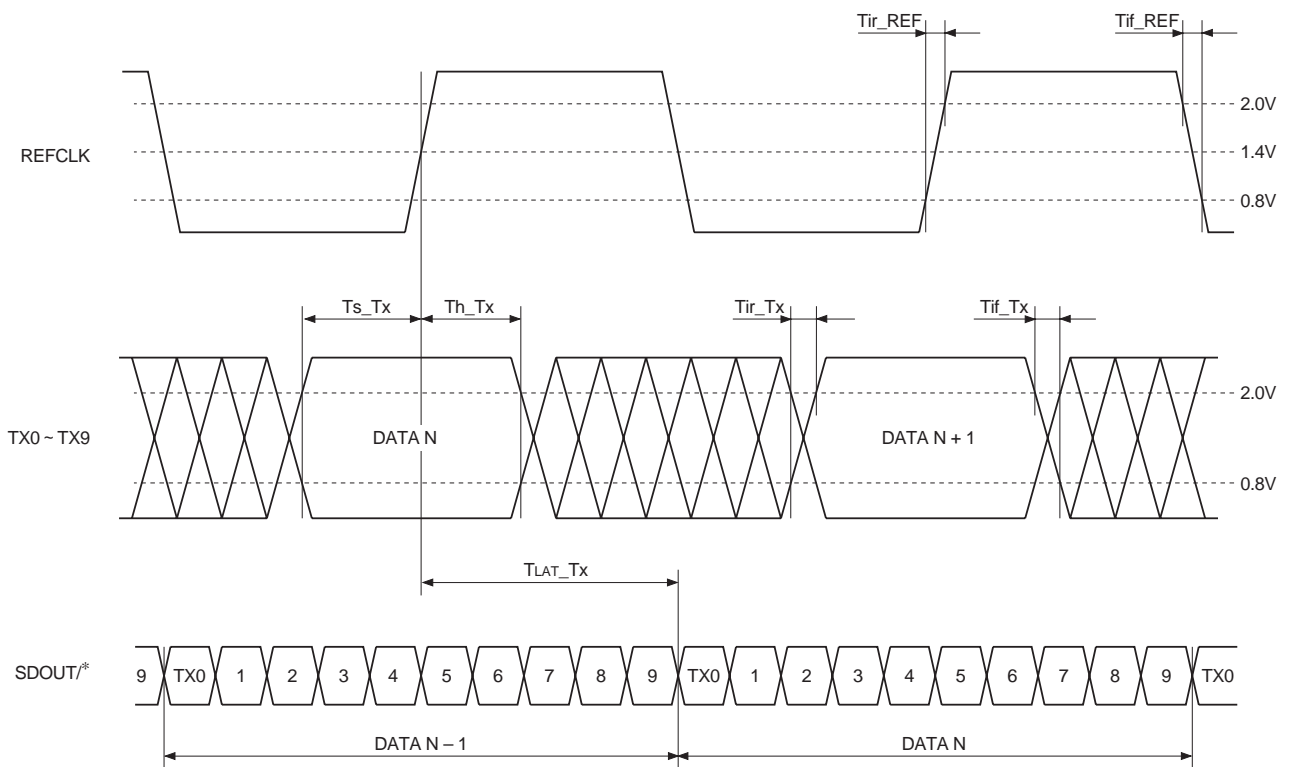
LBENをHighに設定すると、内部でシリアルデータをループバックします。送受信を行うには、LBENをLowに設定して下さい。

タイミングチャート

1) トランスミッタ部

($V_{CC} = 3.3V, T_a = 25$)

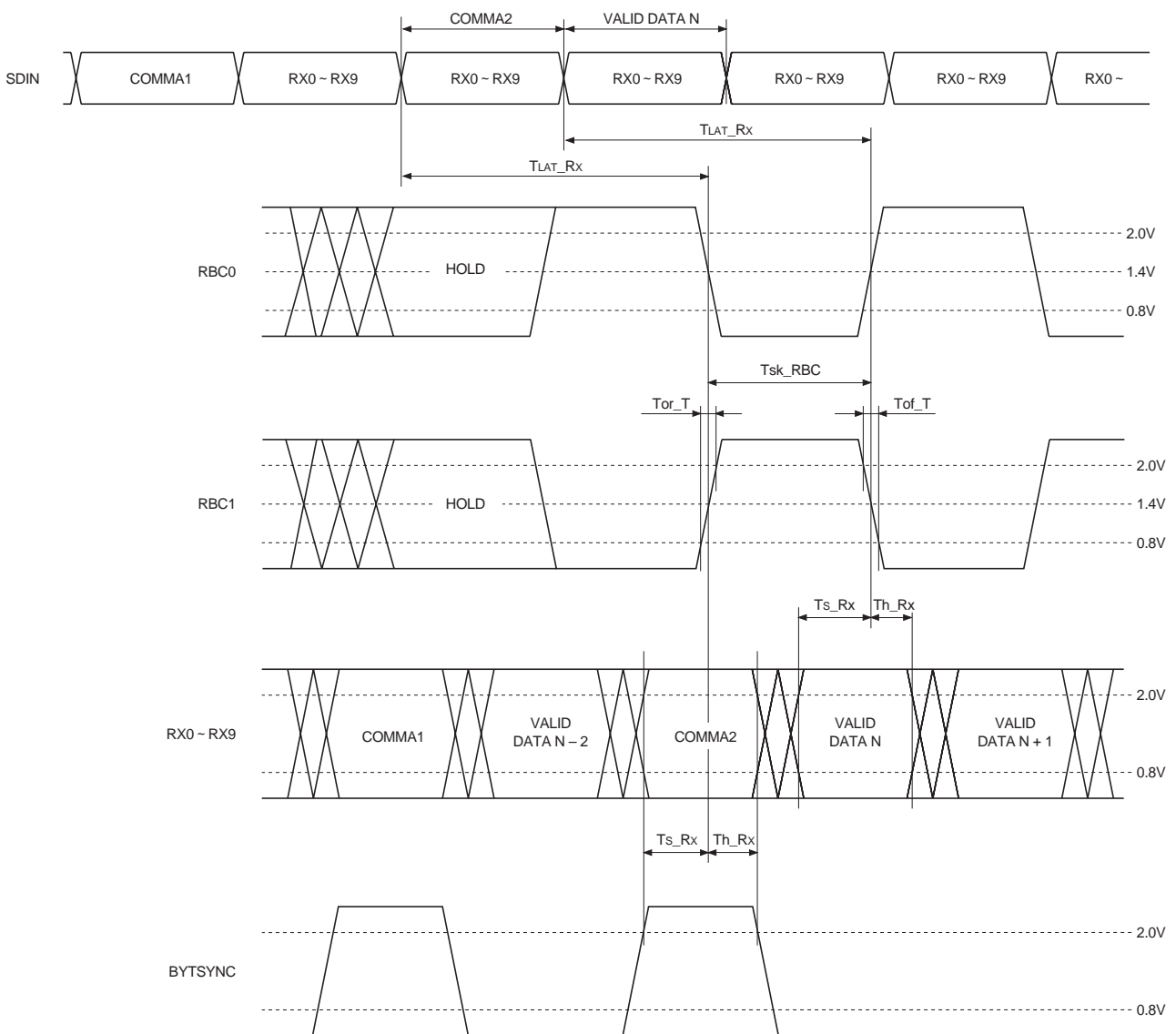
項目	記号	条件	最小値	標準値	最大値	単位
Txセットアップ時間	T_{s_Tx}		2.0			ns
Txホールド時間	T_{h_Tx}		1.5			ns
Latency時間	T_{LAT_Tx}	1.0625GHz		4.7		ns
REFCLK入力立ち上がり時間	T_{ir_REF}	0.8 ~ 2.0V	0.7		2.4	ns
REFCLK入力立ち下がり時間	T_{if_REF}	2.0 ~ 0.8V	0.7		2.4	ns
TxTTL入力立ち上がり時間	T_{ir_Tx}	0.8 ~ 2.0V	0.7		4.8	ns
TxTTL入力立ち下がり時間	T_{if_Tx}	2.0 ~ 0.8V	0.7		4.8	ns



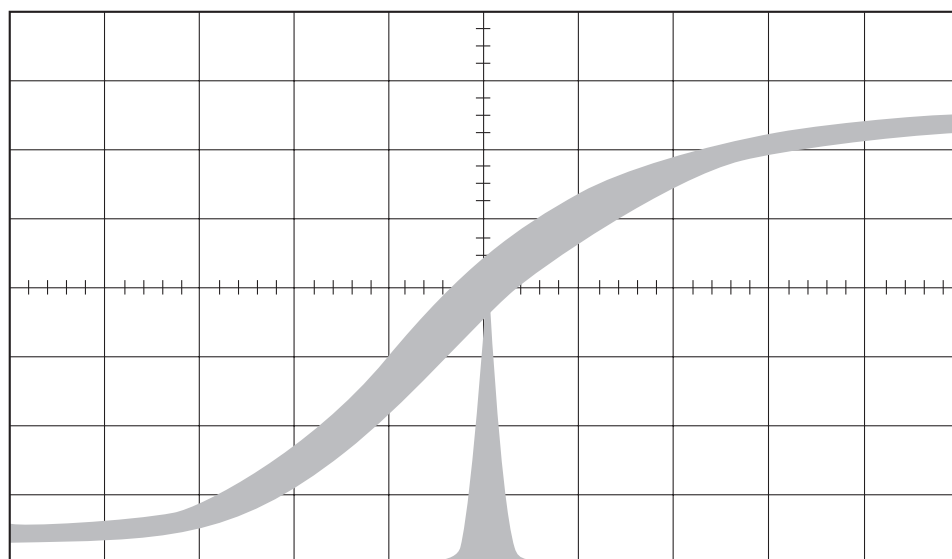
2) レシーバ部

(V_{CC} = 3.3V, T_a = 25)

項目	記号	条件	最小値	標準値	最大値	単位
Rxセットアップ時間	Ts_Rx	1.0625GHz	3.0			ns
		1.25GHz	2.5			ns
Rxホールド時間	Th_Rx	1.0625GHz	1.5			ns
		1.25GHz	1.0			ns
RBC0, 1間スキュー	Tsk_RBC	1.0625GHz	8.91	9.41	9.91	ns
Latency時間	T _{LAT} _Rx	1.0625GHz		18.0		ns
TTL出力立ち上がり時間	T _{or} _T	0.8 ~ 2.0V, CL = 10pF			3.5	ns
TTL出力立ち下がり時間	T _{of} _T	2.0 ~ 0.8V, CL = 10pF			3.5	ns

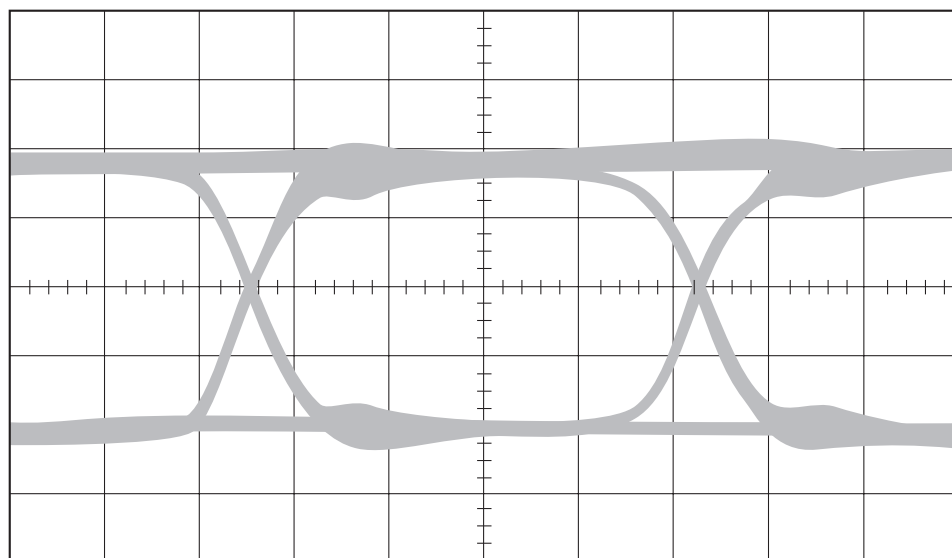


代表的特性例



ランダムジッタ 6.7ps(RMS)
 X : 50ps / div
 Y : 100mV / div
 1.0625GHzモード

a) TXランダムジッタ (SDOUT)

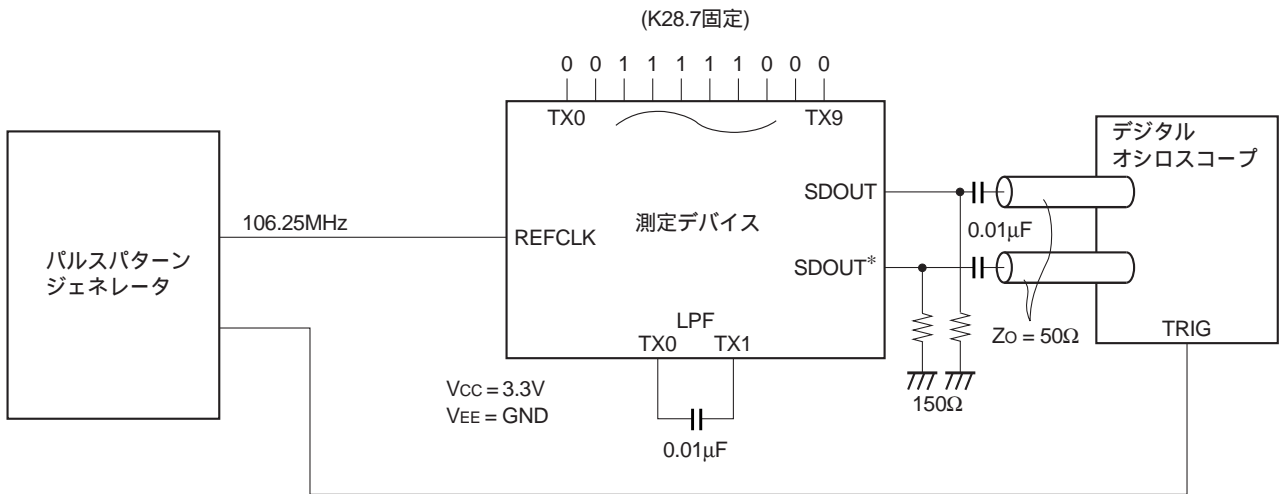


X : 200ps / div
 Y : 200mV / div
 1.0625GHzモード

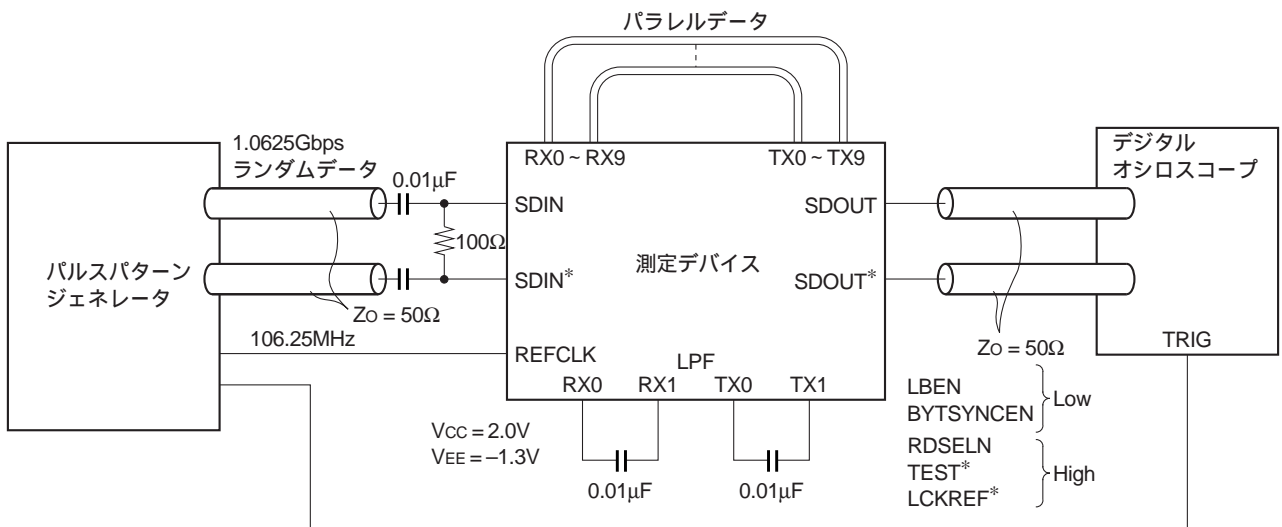
b) TXアイパターン (SDOUT)

電気的特性測定回路図

a) TX ランダムジッタ



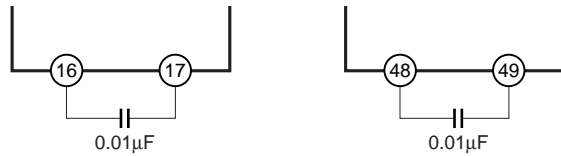
b) TXアイパターン



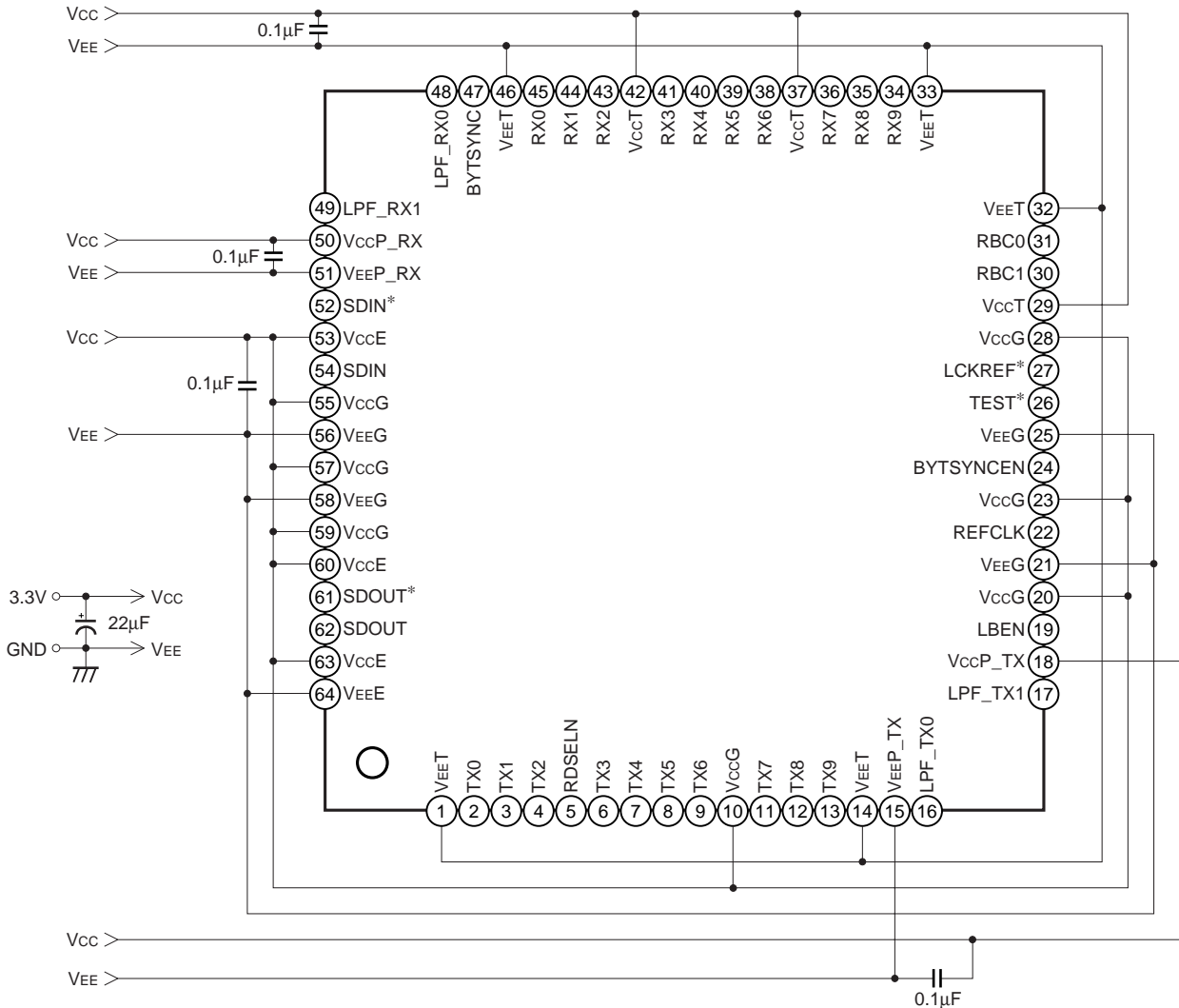
使用上の注意

1. 外付けループフィルタ

2組の外付けループフィルタ端子には容量0.01 μ FをICの近くに付けて下さい。

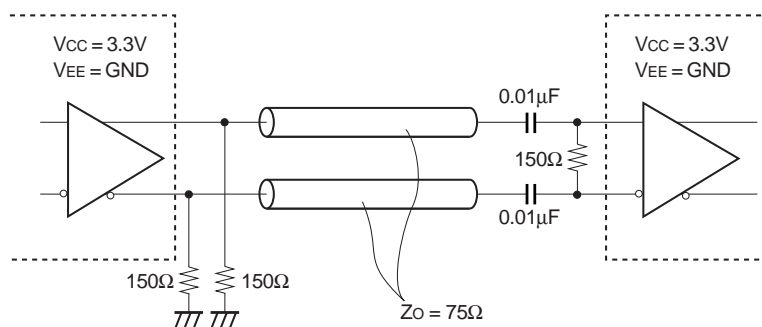


2. 電源回路例



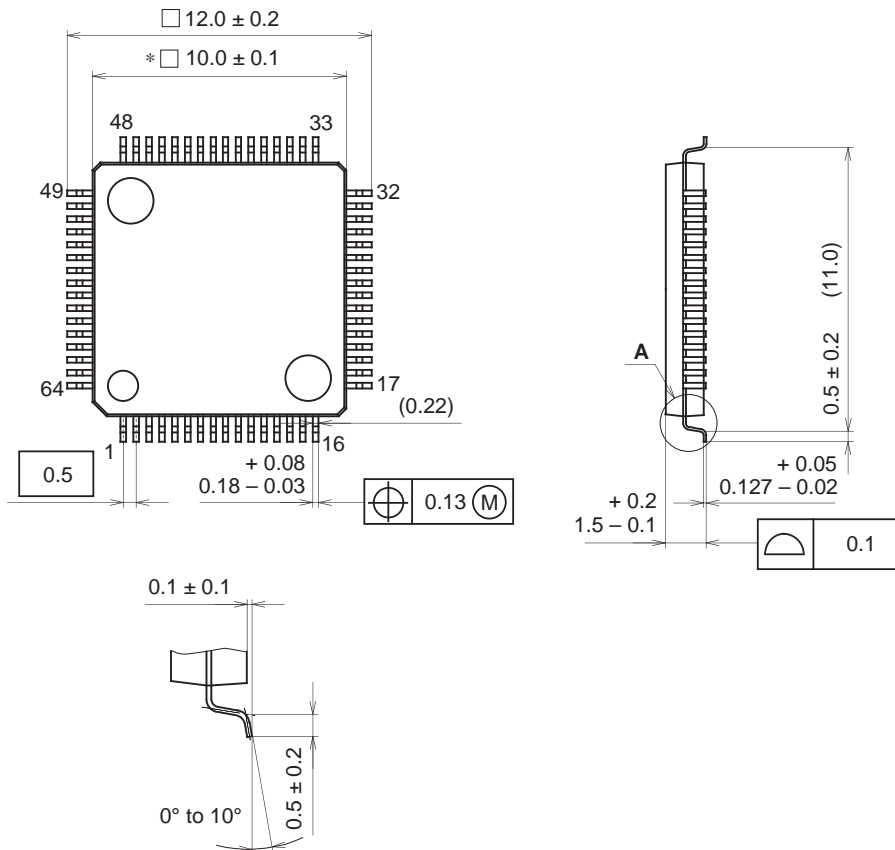
22 μ Fは電解コンデンサで電源の根元近くに実装して下さい。
0.1 μ FはセラミックコンデンサでICの電源端子近くに実装して下さい。

3. シリアルデータ入出力



外形寸法図 单位：mm

64PIN LQFP (PLASTIC)



NOTE: Dimension "*" does not include mold protrusion.

DETAIL A

PACKAGE STRUCTURE

SONY CODE	LQFP-64P-L01	PACKAGE MATERIAL	EPOXY RESIN
EIAJ CODE	LQFP064-P-1010	LEAD TREATMENT	SOLDER/PALLADIUM PLATING
JEDEC CODE	_____	LEAD MATERIAL	42/COPPER ALLOY
		PACKAGE MASS	0.3g

NOTE : PALLADIUM PLATING
 This product uses S-PdPPF (Sony Spec.-Palladium Pre-Plated Lead Frame).